

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月27日

出 願 番 号

Application Number:

特願2003-088261

[ST.10/C]:

[JP 2003-088261]

出 願 人

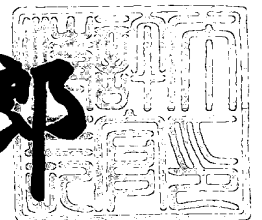
Applicant(s):

三菱電機株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030007

【書類名】 特許願

【整理番号】 540217JP02

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 新居 浩二

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【先の出願に基づく優先権主張】

【出願番号】 特願2002-205391

【出願日】 平成14年 7月15日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209961

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 2 のトランジスタと、

前記入力信号に応じて前記第 1 および第 2 のトランジスタを相補的にオンさせるために、前記第 1 および第 2 の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に接続される電圧調整回路を有し、

前記電圧調整回路は、接続される内部ノードの電圧レベルに応じて、前記接続される内部ノードに対応するトランジスタがターンオン状態であるときに、前記接続される内部ノードの電圧を前記第 1 および第 2 の電圧とは異なるレベルへ設定する、半導体装置。

【請求項 2】 前記対応するトランジスタがターンオンする際、前記接続される内部ノードの電圧は、前記第 1 および第 2 の電圧のいずれか一方に設定される、請求項 1 記載の半導体装置。

【請求項 3】 前記制御回路は、前記少なくとも一方のトランジスタに対応して設けられるタイミング回路をさらに有し、

前記タイミング回路は、前記対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる前記第 1 および第 2 の電圧の一方と、前記接続される内部ノードとを所定期間接続する、請求項 1 記載の半導体装置。

【請求項 4】 前記タイミング回路は、前記出力ノードの電圧レベルに応じて前記所定期間を調整する、請求項 3 記載の半導体装置。

【請求項 5】 前記タイミング回路は、前記入力信号を遅延させるための遅延回路を有し、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項 3 記載の半導体装置。

【請求項 6】 前記制御回路は、前記対応するトランジスタがターンオンする際に、他方のトランジスタをターンオフさせるために前記他方のトランジスタの内部ノードを前記対応するトランジスタがオンする前記第 1 および第 2 の電圧の一方に設定し、

前記制御回路は、前記対応するトランジスタのターンオン時において、所定期間前記第 1 の内部ノードと前記第 2 の内部ノードとの間を電氣的に接続するための接続回路をさらに有する、請求項 1 記載の半導体装置。

【請求項 7】 前記接続回路は、前記入力信号を遅延させる遅延回路を含み、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載の半導体装置。

【請求項 9】 前記他の電界効果型トランジスタの前記ゲート酸化膜は、前記第 1 および第 2 のトランジスタの前記少なくとも一方よりも厚い、請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載

の半導体装置。

【請求項 1 1】 前記第 1 および第 2 のトランジスタの前記誘電体膜は、前記他の電界効果型トランジスタよりも比誘電率が高い、請求項 1 0 記載の半導体装置。

【請求項 1 2】 前記入力信号は、複数の信号を含み、
前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第 1 および第 2 の内部ノードの電圧を制御する、請求項 1 記載の半導体装置。

【請求項 1 3】 前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、前記対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる前記第 1 および第 2 の電圧のうちの一方の電圧と前記接続される内部ノードとを所定期間接続する、請求項 1 2 記載の半導体装置。

【請求項 1 4】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする第 2 のトランジスタと、

前記出力ノードと前記第 2 の電圧との間に前記第 2 のトランジスタと並列に配置され、前記第 1 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 3 のトランジスタと、

前記入力信号に応じて、前記第 1 のトランジスタと第 2 および第 3 のトランジスタとを相補的にオンさせるために、前記第 1 および第 2 の内部ノードの電圧を制御するための制御回路とを含み、

前記制御回路は、前記第 2 および第 3 のトランジスタのターンオン時に、前記第 1 のトランジスタをターンオフするために前記第 2 および第 3 のトランジスタがターンオンする第 1 および第 2 の電圧の一方を前記第 1 の内部ノードに設定す

るとともに、所定期間、前記第 2 の内部ノードに対して前記一方の電圧を供給し

前記第 2 のトランジスタは、前記第 3 のトランジスタより前記第 2 の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【請求項 1 5】 前記制御回路は、前記第 2 の内部ノードに対応して設けられるタイミング回路を有し、

前記タイミング回路は、前記出力ノードの電圧レベルに応じて前記所定期間を調整する、請求項 1 4 記載の半導体装置。

【請求項 1 6】 前記制御回路は、前記所定期間、前記第 1 および第 2 の内部ノードを電氣的に接続する接続回路を有する、請求項 1 4 記載の半導体装置。

【請求項 1 7】 前記入力信号は、複数の信号を含み、
前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第 1 および第 2 の内部ノードの電圧を制御する、請求項 1 4 記載の半導体装置。

【請求項 1 8】 前記第 1、第 2 および第 3 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1、第 2 および第 3 のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 4 記載の半導体装置。

【請求項 1 9】 前記第 1、第 2 および第 3 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1、第 2 および第 3 のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 4 記載の半導体装置。

【請求項 2 0】 前記制御回路は、スタンバイ時に外部からの指示に応答して前記第 2 および第 3 のトランジスタがターンオンする前記第 1 および第 2 の電圧の一方を前記第 1 の内部ノードに供給するノイズ調整回路を含む、請求項 1 4 記載の半導体装置。

【請求項 2 1】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする第 2 のトランジスタと、

前記出力ノードと前記第 1 の電圧との間に前記第 1 のトランジスタと並列に配置され、第 3 の内部ノードの電圧レベルに応じてオン・オフする第 3 のトランジスタと、

前記出力ノードと前記第 2 の電圧との間に前記第 2 のトランジスタと並列に配置され、前記第 3 のトランジスタと相補的にオン・オフする第 4 のトランジスタと、

前記入力信号に応じて、前記第 1 および第 2 のトランジスタを相補的にオンさせるとともに前記第 3 および第 4 のトランジスタを相補的にオンさせるために前記第 1、第 2 および第 3 の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記入力信号に応じて、前記第 3 の内部ノードを前記第 3 および第 4 のトランジスタがオンする前記第 1 および第 2 の電圧の一方に設定し、

前記出力ノードの電圧に応じて、前記第 3 の内部ノードと、前記第 1 および第 2 の内部ノードのいずれか一方とを所定期間電氣的に結合する接続回路とを有し、

前記第 1 のトランジスタは、前記第 3 のトランジスタより前記第 1 の電圧を前記出力ノードへ供給する駆動力が大きく、前記第 2 のトランジスタは、前記第 4 のトランジスタより前記第 2 の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【請求項 2 2】 互いに隣接して配置され、各々が、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するための第 1 および第 2 のドライバ回路を備え、

各前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする第 2 のトランジスタと、

前記出力ノードと前記第 2 の電圧との間に前記第 2 のトランジスタと並列に配置され、前記第 1 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 3 のトランジスタと、

前記入力信号に応じて、前記第 1 のトランジスタと第 2 および第 3 のトランジスタとを相補的にオンさせるために、前記第 1 および第 2 の内部ノードの電圧を制御するための制御回路とを含み、

各前記制御回路は、前記第 2 および第 3 のトランジスタのターンオン時に、前記第 1 のトランジスタをターンオフするために前記第 2 および第 3 のトランジスタがターンオンする第 1 および第 2 の電圧の一方を前記第 1 の内部ノードに設定するとともに、所定期間、前記第 2 の内部ノードに対して前記一方の電圧を供給し、

前記第 2 のトランジスタは、前記第 3 のトランジスタより前記第 2 の電圧を前記出力ノードへ供給する駆動力が大きく、

各前記制御回路は、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて前記第 2 および第 3 のトランジスタがターンオンする前記第 1 および第 2 の電圧の一方を前記第 1 の内部ノードに供給するノイズ調整回路を含む、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に CMOS ドライバ回路を備えた半導体装置に関する。

【0002】

【従来の技術】

近年、複数の処理回路を具備する半導体装置がワンチップマイコンとして製品化されており、このような半導体装置が携帯電話機などの電子回路機器等に利用されている。携帯電話機などのような携帯機器では、必然的にバッテリーを電源とするが、小型軽量化が要求されるためバッテリーも小型軽量化されている。

【 0 0 0 3 】

このバッテリーの小型軽量化に加え、長時間のバッテリーの使用も要求されるためバッテリーの消費電力の削減も極度に要求されている。一方、デジタル方式の携帯電話機等の場合、音声信号をリアルタイムにデジタル処理するため、当該半導体装置の高速化も要求されている。

【 0 0 0 4 】

上記の種々の要求において、回路内の信号処理部においては、内部回路に処理した信号を伝播するために電流駆動力の小さなトランジスタで構成し、外部に出力する回路については電流駆動力の大きなトランジスタで構成されたドライバ回路を用いることが一般的である。

【 0 0 0 5 】

図 3 1 は、入力信号を伝播する従来の CMOS ドライバ回路の回路構成図である。なお、以下においては CMOS ドライバ回路を単にドライバ回路とも称する。

【 0 0 0 6 】

図 3 1 を参照して、従来の CMOS ドライバ回路は、直列に接続された 2 段のインバータ INV 0 と INV 1 とを含む。インバータ INV 0 は、トランジスタ PT 0 と NT 0 とを含む。トランジスタ PT 0 は、電源電圧 VDD とノード Na との間に配置され、そのゲートは入力ノードと接続されて入力信号 IN の入力を受ける。また、トランジスタ NT 0 は、ノード Na と接地電圧 GND との間に配置され、そのゲートは入力信号 IN の入力を受ける。

【 0 0 0 7 】

インバータ INV 1 は、トランジスタ PT 1 とトランジスタ NT 1 とを含む。トランジスタ PT 1 は、電源電圧 VDD と出力ノードとの間に配置され、そのゲートはノード Na と接続されている。また、トランジスタ NT 1 は、出力ノードと接地電圧 GND との間に配置され、そのゲートはノード Na と接続されている。なお、トランジスタ PT 0, PT 1 は、P チャンネル MOS トランジスタであり、トランジスタ NT 0, NT 1 は、N チャンネル MOS トランジスタである。

【 0 0 0 8 】

また、インバータ $INV1$ は、出力ノードに伝達された信号を出力信号 OUT として出力する。

【0009】

なお、以下においては、入力信号 IN を受ける入力ノードについても符号 IN で示すとともに、出力信号 OUT が駆動される出力ノードについても符号 OUT で示すこととする。

【0010】

図32のタイミングチャート図を用いて従来のCMOSドライバ回路の動作について説明する。なお、以下の説明においては、一例として電源電圧 VDD は1V、接地電圧 GND は0Vとして説明する。また、高電圧レベル（電源電圧 VDD : 1V）を「H」レベルとし、低電圧レベル（接地電圧 GND : 0V）を「L」レベルとして説明する。

【0011】

初期状態においては、入力信号 IN は0Vとする。この場合において、インバータ $INV0$ のトランジスタ $PT0$ はオンし、電源電圧 VDD とノード Na とを電氣的に結合する。したがってノード Na の電圧レベルは1Vに設定されている。また、ノード Na の電圧レベルに応答してインバータ $INV1$ のトランジスタ $NT1$ はオンし、接地電圧 GND と出力ノードとを電氣的に結合する。したがって、出力ノードの電圧レベルは0Vに設定されている。

【0012】

時刻 $T1$ において、入力信号 IN が0Vから1Vに遷移した場合、インバータ $INV0$ のトランジスタ $PT0$ はオフし、トランジスタ $NT0$ がオンする。これに응答して、接地電圧 GND とノード Na とが電氣的に結合され、ノード Na の電圧レベルは0Vに設定される。また、インバータ $INV1$ について考えると、ノード Na の電圧レベルに응答してトランジスタ $PT1$ がオンし、電源電圧 VDD と出力ノードとが電氣的に結合される。したがって、出力ノードの電圧レベルは1Vに設定される。出力信号 OUT は、時刻 $T1$ からトランジスタの動作遅延時間経過後の時刻 $T1a$ に立上り、1Vに設定される。

【0013】

一方、時刻 T_2 において入力信号 I_N が 1 V から 0 V に遷移した場合、インバータ I_{NV0} のトランジスタ N_{T0} がオフし、トランジスタ P_{T0} がオンする。これに応答して、電源電圧 V_{DD} とノード N_a とが電氣的に結合され、ノード N_a の電圧レベルは 1 V に設定される。また、ノード N_a の電圧レベルに응答してインバータ I_{NV1} のトランジスタ P_{T1} はオフし、トランジスタ N_{T1} がオンする。これにより、出力ノードと接地電圧 GND とが電氣的に結合され、出力ノードの電圧レベルは 0 V に設定される。

【0014】

上記において説明したように、CMOSドライバ回路は、入力信号 I_N の「L」レベルから「H」レベルもしくは「H」レベルから「L」レベルの変化に伴い、出力信号 O_{UT} が伝播される。

【0015】

通常、出力ノードは、次段の回路と電氣的に接続され、その次段の回路の入力容量や配線による寄生容量および抵抗等が出力負荷となる。高速に入力信号 I_N に응答して高速に出力信号 O_{UT} を伝播するためには、出力段のインバータ I_{NV1} を構成するトランジスタ P_{T1} および N_{T1} の動作速度を高速化させることが必要である。具体的には、初段のインバータ I_{NV0} を構成するトランジスタ P_{T0} および N_{T0} より、出力段のインバータ I_{NV1} を構成するトランジスタ P_{T1} および N_{T1} のチャンネル幅を大きくして信号伝播速度を高速化させている。たとえば、ゲート長がそれぞれ $0.1\text{ }\mu\text{ m}$ の場合において、それぞれトランジスタ P_{T0} 、 N_{T0} 、 P_{T1} および N_{T1} のゲート幅は、各々 $2\text{ }\mu\text{ m}$ 、 $1\text{ }\mu\text{ m}$ 、 $10\text{ }\mu\text{ m}$ 、 $5\text{ }\mu\text{ m}$ 程度に設計されている。

【0016】

【特許文献1】

特開 2001-156260 号公報

【0017】

【発明が解決しようとする課題】

以上説明したように、従来の CMOS ドライバ回路は、ドライバ回路を構成する出力段のインバータのゲート幅を大きくすることにより信号伝播速度の高速化

を図る構成が一般的である。

【 0 0 1 8 】

しかしながら、トランジスタの微細化技術が進むにつれて、ゲート酸化膜の膜厚が薄くなり、ゲートからソースやドレインもしくは基板間に流れるいわゆるゲートリーク電流が大きくなるという問題が生じてきている。

【 0 0 1 9 】

図 3 3 は、ゲート酸化膜の厚膜とトランジスタ 1 個当りのゲートリーク電流との関係を示す図である。トランジスタのゲート長は $0.1 \mu\text{m}$ 、ゲート幅は $10 \mu\text{m}$ に設定されたトランジスタのリーク電流の特性図である。

【 0 0 2 0 】

図 3 3 を参照して、横軸はゲート酸化膜厚を示しており、縦軸はトランジスタ 1 個当りのゲートリーク電流（単位 A : アンペア）を示す。

【 0 0 2 1 】

ここで示されるゲートリーク電流は、N チャンネル MOS トランジスタでは、ゲート端子に電源電圧 V_{DD} 、ソース、ドレインおよび基板端子にそれぞれ共通に接地電圧 GND を接続した場合において、ゲート端子からソース、ドレインおよび基板端子へリークする電流を示す。一方、P チャンネル MOS トランジスタでは、ゲート端子に接地電圧 GND 、ソース、ドレインおよび基板端子にそれぞれ共通に電源電圧 V_{DD} を供給した場合において、ソース、ドレインおよび基板端子からゲート端子へリークする電流を示す。

【 0 0 2 2 】

これまでのゲート長が $0.18 \mu\text{m}$ 程度の世代においては、トランジスタのゲート酸化膜厚は 260 nm 程度である。ここでゲート幅を $1 \mu\text{m}$ とした場合におけるゲートリーク電流について考える。

【 0 0 2 3 】

図 3 3 において示されるゲートリーク電流はゲート面積にほぼ比例する。たとえば、ゲート酸化膜厚が 260 nm 程度でトランジスタのゲート長が $0.1 \mu\text{m}$ 、ゲート幅が $10 \mu\text{m}$ の場合は、トランジスタのゲートリーク電流は $1 \text{ E} - 14$ (A) 程度である。なお、 $1 \text{ E} - 14$ は、 1×10 の -14 乗を指し示すものと

する。以下においても同様である。そうすると、ゲート長が $0.18\mu\text{m}$ 、ゲート幅 W が $1\mu\text{m}$ 当りで考えると、トランジスタ1個当りのゲートリーク電流は 1.8×10^{-15} (A) 程度となる。

【0024】

これに対して、トランジスタがスタンバイ状態であるときのソースドレイン間に流れるサブスレッショルドリーク電流は、同じ設定条件において 1×10^{-12} (A) 程度である。したがって、サブスレッショルドリーク電流の方がゲートリーク電流よりも遥かに大きいため、ゲート長が $0.18\mu\text{m}$ 程度の世代においてはゲートリーク電流の電流量を考慮する必要性はなかった。

【0025】

しかし、近年の微細化技術の進歩および動作高速化の要求に伴い、ゲート酸化膜厚が薄くなるにつれてゲートリーク電流が無視できなくなっている。たとえばゲート長が $0.1\mu\text{m}$ 世代においては、そのときのゲート酸化膜厚は 200nm 程度に設計される。

【0026】

図33を参照してゲート幅が $10\mu\text{m}$ である場合のトランジスタのゲートリーク電流を計算すると約 1×10^{-11} (A) 程度となる。このゲートリーク電流は、ゲート長が $0.1\mu\text{m}$ 、ゲート幅が $1\mu\text{m}$ で設計されたトランジスタで計算すると 1×10^{-12} (A) 程度になる。したがって、上記のサブスレッショルドリーク電流と同等程度のリーク電流が流れることになりリーク電流を無視することができなくなっている。このように微細化技術に伴うトランジスタのゲートリーク電流の増大にともなって回路全体の消費電力が増大してしまうという問題がある。

【0027】

また、上記において説明したように、ゲートリーク電流はトランジスタのゲート面積に比例するものである。したがって、ドライバ回路の最終段で用いられるトランジスタのゲート幅がより大きいトランジスタにおいて特にゲートリーク電流が増大する。

【0028】

このようなリーク電流を低減する方式として、特開 2 0 0 1 - 1 5 6 2 6 0 号公報には、ゲート酸化膜厚の異なるトランジスタを混在させ、ゲート酸化膜厚が薄くゲートリーク電流が大きいトランジスタで構成した回路は、非動作時にその電源供給を止めてリーク電流を抑制するという方式が開示されている。しかしながら、このような方式では、動作、非動作に応じて電源供給を制御するための構成を設けることが必要である。また動作モードから非動作モードに切換えるための待ち時間も必要となりかかる方式では高速動作の障害ともなる。

【 0 0 2 9 】

本発明の目的は、上記の問題を解決するもので、代表的にはドライバ回路で用いられるゲート酸化膜厚の薄いトランジスタのゲートリーク電流を抑制して消費電力を低減する半導体装置を提供することである。

【 0 0 3 0 】

【課題を解決するための手段】

本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第 1 および第 2 のトランジスタと、制御回路とを含む。第 1 のトランジスタは、第 1 の電圧と出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする。第 2 のトランジスタは、出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じて第 1 のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて第 1 および第 2 のトランジスタを相補的にオンさせるために、第 1 および第 2 の内部ノードの電圧を制御する。また、制御回路は、第 1 および第 2 の内部ノードの少なくとも一方に接続される電圧調整回路を有する。電圧調整回路は、接続される内部ノードの電圧レベルに応じて、接続される内部ノードに対応するトランジスタがターンオン状態であるときに、接続される内部ノードの電圧を第 1 および第 2 の電圧とは異なるレベルへ設定する。

【 0 0 3 1 】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第 1、第 2 および第 3 のトランジスタと、制御回路とを含む。第 1 のトランジスタは、第 1 の

電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。制御回路は、第2および第3のトランジスタのターンオン時に、第1のトランジスタをターンオフするために第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに設定するとともに、所定期間、第2の内部ノードに対して一方の電圧を供給する。また、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

【0032】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1～第4のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第1の電圧との間に第1のトランジスタと並列に配置され、第3の内部ノードの電圧レベルに応じてオン・オフする。第4のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第3のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1および第2のトランジスタを相補的にオンさせるとともに第3および第4のトランジスタを相補的にオンさせるために第1、第2および第3の内部ノードの電圧を制御する。制御回路は、入力信号に応じて、第3の内部ノードを第3および第4のトランジスタがオンする第1および第2の電圧の一方に設定する。また、制御回路は、出力ノードの電圧に応じて、第3の内部ノードと、第1および第2の内部ノード

ドのいずれか一方とを所定期間電氣的に結合する接続回路とを有する。また、第 1 のトランジスタは、第 3 のトランジスタより第 1 の電圧を出力ノードへ供給する駆動力が大きく、第 2 のトランジスタは、第 4 のトランジスタより第 2 の電圧を出力ノードへ供給する駆動力が大きい。

【0033】

また、本発明の半導体装置は、互いに隣接して配置され、各々が、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するための第 1 および第 2 のドライバ回路を含む。第 1 および第 2 のドライバ回路の各々は、第 1、第 2 および第 3 のトランジスタと、制御回路とを含む。第 1 のトランジスタは、第 1 の電圧と出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする。第 2 のトランジスタは、出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする。第 3 のトランジスタは、出力ノードと第 2 の電圧との間に第 2 のトランジスタと並列に配置され、第 1 の内部ノードの電圧レベルに応じて第 1 のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第 1 のトランジスタと第 2 および第 3 のトランジスタとを相補的にオンさせるために、第 1 および第 2 の内部ノードの電圧を制御する。制御回路は、第 2 および第 3 のトランジスタのターンオン時に、第 1 のトランジスタをターンオフするために第 2 および第 3 のトランジスタがターンオンする第 1 および第 2 の電圧の一方を第 1 の内部ノードに設定するとともに、所定期間、第 2 の内部ノードに対して一方の電圧を供給する。また、第 2 のトランジスタは、第 3 のトランジスタより第 2 の電圧を出力ノードへ供給する駆動力が大きい。各制御回路は、ノイズ調整回路を含む。ノイズ調整回路は、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて第 2 および第 3 のトランジスタがターンオンする第 1 および第 2 の電圧の一方を第 1 の内部ノードに供給する。

【0034】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【 0 0 3 5 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に従う CMOS ドライバ回路の回路構成図である。

【 0 0 3 6 】

図 1 を参照して、本発明の実施の形態 1 に従うドライバ回路 1 0 0 は、インバータ INV 1 ~ INV 3 を含む。従来のドライバ回路と比較して、図 3 1 で説明したインバータ INV 0 を削除して、入力信号 IN を受けるインバータを並列に 2 段構成にした点が異なる。具体的には、インバータ INV 2 は、入力信号 IN に応答してその出力結果をインバータ INV 1 のトランジスタ NT 1 のゲートと接続されたノード N 0 へ出力する。また、インバータ INV 3 は、入力信号 IN に応答してその出力結果をインバータ INV 1 のトランジスタ PT 1 のゲートと接続されたノード N 1 へ出力する。インバータ INV 1 および INV 3 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 CT 1 を構成する。

【 0 0 3 7 】

インバータ INV 2 は、トランジスタ PTT 2, PT 2, NT 2 とを含む。ここでは、一例としてトランジスタ PTT 2 および PT 2 は、P チャンネル MOS トランジスタとする。また、トランジスタ NT 2 は、N チャンネル MOS トランジスタとする。トランジスタ PTT 2 は、ソース側を電源電圧 VDD と接続し、ドレイン-ゲート間を電氣的に結合している。つまり、トランジスタ PTT 2 は、いわゆるダイオード接続されたトランジスタである。トランジスタ PT 2 は、トランジスタ PTT 2 を介して電源電圧 VDD とノード N 0 との間に配置され、そのゲートは入力信号 IN の入力を受ける。トランジスタ NT 2 は、ノード N 0 と接地電圧 GND との間に配置され、そのゲートは入力信号 IN の入力を受ける。

【 0 0 3 8 】

インバータ INV 3 は、トランジスタ PT 3 および NT 3 を含む。ここでは、一例としてトランジスタ PT 3 は P チャンネル MOS トランジスタとする。また、トランジスタ NT 3 は N チャンネル MOS トランジスタとする。トランジスタ

P T 3 は、電源電圧 V D D とノード N 1 との間に配置され、そのゲートは入力信号 I N の入力を受ける。トランジスタ N T 3 は、ノード N 1 と接地電圧 G N D との間に配置され、そのゲートは入力信号 I N の入力を受ける。

【 0 0 3 9 】

図 2 のタイミングチャート図を用いて本発明の実施の形態 1 に従うドライバ回路 1 0 0 の動作について説明する。

【 0 0 4 0 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ I N V 2 のトランジスタ N T 2 がオンする。これに応答して、接地電圧 G N D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは 0 V となる。また、インバータ I N V 3 のトランジスタ N T 3 がオンする。これに応答して、接地電圧 G N D とノード N 1 とが電氣的に結合され、ノード N 1 の電圧レベルは 0 V となる。このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 が動作する。ノード N 0 およびノード N 1 が共に 0 V すなわち「L」レベルであるためトランジスタ P T 1 がオンし、トランジスタ N T 1 はオフである。これに伴い、電源電圧 V D D とノード N b とが電氣的に結合され、ノード N b は 1 V となる。

【 0 0 4 1 】

次に、時刻 T 2 において入力信号 I N が 1 V から 0 V に遷移した場合について考える。インバータ I N V 2 において、トランジスタ N T 2 がオフとなり、トランジスタ P T 2 がオンする。これによりノード N 0 は、トランジスタ P T 2 を介して電源電圧 V D D と電氣的に結合される。また、インバータ I N V 3 において、トランジスタ N T 3 がオフとなり、トランジスタ P T 3 がオンとなる。これにより、ノード N 1 は、電源電圧 V D D と電氣的に結合される。

【 0 0 4 2 】

このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 は、ノード N b に対して電圧を供給する。ノード N 0 およびノード N 1 が共に「H」レベルであるためトランジスタ N T 1 がオンし、トランジスタ P T 1 はオフである。これに伴い、接地電圧 G N D とノード N b とが電氣的に結合され、ノード

ドN bは0 Vとなる。

【0 0 4 3】

ここでノードN 0について考えると、ノードN 0の電圧レベルは、ダイオード接続されたトランジスタP T T 2の閾値電圧分、電源電圧V D Dから降下した電圧レベルに設定される。なお、このトランジスタP T T 2の閾値電圧分、電源電圧V D Dから降下した電圧レベルはトランジスタのN T 1のオン電圧（たとえば0. 5 V）よりも高いものとする。たとえば、トランジスタP T T 2の閾値電圧が0. 4 VであるとするとなードN 0の電圧レベルは0. 6 V（1 V - 0. 4 V）に設定される。したがって、トランジスタがオンするときのゲート電圧は、電源電圧V D Dレベル（1 V）よりも低い電圧レベル（0. 6 V）に設定される。これによりトランジスタN T 1がオンする。したがって、ノードN bは、接地電圧G N Dと電氣的に結合され、時刻T 3において完全に0 Vに立ち下がる。

【0 0 4 4】

図3は、ゲート酸化膜厚2 0 0 n mで設計されたトランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【0 0 4 5】

図3を参照して、横軸はトランジスタのゲート電圧（V）を示す。縦軸はトランジスタの単位ゲート面積当りに流れるゲートリーク電流（A / μm^2 ）を示す。

【0 0 4 6】

図3に示されるように、ゲート電圧が1 Vの電圧レベルである場合には、そのときの単位ゲート面積当りのゲートリーク電流は1 E - 1 1（A / μm^2 ）に設定される。一方、ゲート電圧を0. 5 Vに降下させるとそのゲートリーク電流は1桁低減されて1 E - 1 2（A / μm^2 ）に設定される。このようにゲートリーク電流は、ゲート電圧に対して対数的に変化する特性を示すものであるため、ゲート電圧を僅かに降下させるだけでそのリーク電流は大幅に低減される。

【0 0 4 7】

本発明の実施の形態1に従うドライバ回路1 0 0は、インバータI N V 2およびI N V 3を用いて入力信号I Nに応じてノードN 0およびN 1の電圧を制御す

る。また、インバータ $INV2$ に含まれるトランジスタ $NTT2$ を用いてトランジスタ $NT1$ の電圧レベルを調整し、リーク電流を低減する。

【0048】

すなわち、上記において説明したようにトランジスタ $NT1$ のゲートに供給するゲート電圧を電源電圧 VDD よりも低くオン電圧よりも高い値に設定することにより、トランジスタ $NT1$ のゲートリーク電流を大幅に低減することができる。

【0049】

本発明の実施の形態1に従うドライバ回路100の構成により、動作、非動作に応じて電源供給を制御する回路等を設けることなく、また、動作モードと非動作モードとの切替えを必要とすることなく、低消費電力で高速なCMOSドライバ回路を実現することが可能となる。

【0050】

(実施の形態2)

図4は、本発明の実施の形態2に従うドライバ回路200の構成図である。

【0051】

図4を参照して、本発明の実施の形態2に従うドライバ回路200は、図1に示したドライバ回路100と比較して、所定期間内部ノードの電圧レベルを調整するタイミング回路10をさらに含む点が異なる。その他の点は実施の形態1のドライバ回路100と同様の構成であるのでその説明は繰り返さない。また、インバータ $INV2$ 、 $INV3$ およびタイミング回路10は、ノード $N0$ および $N1$ の電圧レベルを制御する制御回路 $CT2$ を構成する。

【0052】

タイミング回路10は、トランジスタ1、2と、インバータ3とを含む。ここでは、トランジスタ1および2は、PチャンネルMOSトランジスタとする。トランジスタ1および2は、電源電圧 VDD とノード $N0$ との間に直列に接続され、トランジスタ1のゲートは、入力信号 IN の入力を受ける。また、トランジスタ2のゲートは、インバータ3を介する出力信号 OUT の反転信号の入力を受ける。

【 0 0 5 3 】

図 5 のタイミングチャート図を用いて本発明の実施の形態 2 に従うドライバ回路 2 0 0 の動作について説明する。

【 0 0 5 4 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合についてはタイミング回路 1 0 は実質的に機能しない。したがって、実施の形態 1 で説明した図 2 のドライバ回路の動作と同様であり、その説明は繰返さない。

【 0 0 5 5 】

時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合について考える。入力信号 I N が 1 V から 0 V に遷移した場合、これに伴いインバータ I N V 2 においてトランジスタ P T 2 がオンし、トランジスタ P T 2 を介して電源電圧 V D D とノード N 0 とが電氣的に結合される。したがって、インバータ I N V 2 は、上述したようにノード N 0 の電圧レベルを 0 . 6 V に設定しようとする。

【 0 0 5 6 】

ここで、タイミング回路 1 0 の動作について考える。インバータ 3 は、出力信号 O U T (「 H 」 レベル) の反転信号 (「 L 」 レベル) をトランジスタ 2 に出力し、トランジスタ 2 はオン状態である。ここで、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合、トランジスタ 1 がオンする。したがって、トランジスタ 1 および 2 がオンしているため、電源電圧 V D D とノード N 0 とが電氣的に結合される。これに伴い、ノード N 0 の電圧レベルは 1 V に設定される。これに応答して、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 0 V (「 L 」 レベル) に設定される。ノード N b の電圧レベルが 0 V へ変化するとタイミング回路 1 0 は、トランジスタ 2 をオフとする。すなわち、タイミング回路 1 0 からノード N 0 に対しての電源電圧 V D D (1 V) の供給が停止される。

【 0 0 5 7 】

本発明の実施の形態 2 に従うドライバ回路 2 0 0 は、トランジスタ N T 1 のターンオン時には、一時的にタイミング回路 1 0 により電源電圧 V D D と電氣的に直接結合させることによりトランジスタ N T 1 のオン電流を増大させ、動作速度

を上げる。

【0058】

これにより、ノードN_bの電圧レベルを0Vに設定する時間を短縮することができる。すなわち、実施の形態1に従うドライバ回路100では、図2に示されるようにトランジスタNT₁のゲート電圧は0.6Vに設定していたため入力信号INが0Vになった時刻T₂から出力信号OUTが0Vとなる時刻T₃までには期間S₀を要していた。これに対して本発明の実施の形態2のドライバ回路200の構成においては、トランジスタNT₁の動作時には、ゲート電圧を1Vの電圧レベルに設定することにより、入力信号INが0Vになった時刻T₂から出力信号OUTが0Vとなる時刻T₄までの期間S₁は期間S₀よりも短縮することが可能となる。

【0059】

さらに、出力信号OUTが0Vとなった時刻T₄以降においては、電源電圧V_{DD}とノードN₀とは電氣的に非接続とされるので、トランジスタNT₁のオン電圧の範囲内においてノードN₀の電圧レベルは0.6Vに降下する。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT₁に与えるゲート電圧を降下させることによりゲートリーク電流を低減することができる。

【0060】

(実施の形態2の変形例1)

図6は、本発明の実施の形態2の変形例1に従うCMOSドライバ回路210の回路構成図である。

【0061】

図6を参照して、本発明の実施の形態2の変形例1に従うドライバ回路210は、図5に示す本発明の実施の形態2に従うドライバ回路200と比較して、タイミング回路10をタイミング回路20に置換した点異なる。また、インバータINV₂、INV₃およびタイミング回路20は、ノードN₀およびN₁の電圧レベルを制御する制御回路CT₂#を構成する。

【0062】

タイミング回路 20 は、トランジスタ 21 と、NAND 回路 22 とを含む。ここでは、トランジスタ 21 は、一例として P チャンネル MOS トランジスタとする。NAND 回路 22 はノード Nb からの出力信号 OUT とノード N1 からの伝達された信号とを受けてその NAND 論理演算結果をトランジスタ 21 のゲートに出力する。トランジスタ 21 は、電源電圧 VDD とノード N0 との間に配置され、そのゲートは NAND 回路 22 の入力を受ける。

【0063】

本発明の実施の形態 2 の変形例 1 のドライバ回路 210 の動作についても図 5 で示した実施の形態 2 のドライバ回路 200 の動作を示すタイミングチャート図と同様である。具体的には、時刻 T2 において、入力信号 IN が 1 V から 0 V に遷移するのに応答してノード N1 の電圧レベルが 1 V (「H」レベル) となる。このとき、ノード Nb の電圧レベルは 1 V (「H」レベル) であるので、NAND 回路 22 の出力信号は「L」レベルとなり、トランジスタ 21 がオンする。したがって、電源電圧 VDD とノード N0 とが電氣的に結合され、ノード N0 の電圧レベルは実施の形態 2 に従うドライバ回路 200 の構成と同様に 1 V となる。これに応答して、トランジスタ NT1 がオンし、接地電圧 GND とノード Nb とが電氣的に結合され、ノード Nb の電圧レベルは 0 V となる。これに応答して、NAND 回路 22 の出力信号は「H」レベルとなり、トランジスタ 21 はオフとなる。また、以降の動作については実施の形態 2 に従うドライバ回路 200 の動作と同様であるのでその説明は繰り返さない。すなわち、本発明の実施の形態 2 の変形例 1 のドライバ回路 210 の構成においても、トランジスタ NT1 がオンする場合には、タイミング回路 20 により電源電圧 VDD と電氣的に直接結合させることによりトランジスタ NT1 を高速動作させる。また、タイミング回路 20 により、出力信号 OUT が 0 V である定常的な状態においては、ゲート電圧を降下 (0.6 V) させることによりゲートリーク電流を低減することができる。

【0064】

本発明の実施の形態 2 の変形例 1 のドライバ回路 210 の構成により、実施の形態 2 のドライバ回路 200 の構成と同様に消費電力を低減することが可能となる。

【 0 0 6 5 】

(実施の形態 2 の変形例 2)

図 7 は、本発明の実施の形態 2 の変形例 2 に従う CMOS ドライバ回路 2 2 0 の回路構成図である。

【 0 0 6 6 】

図 7 を参照して、本発明の実施の形態 2 の変形例 2 に従うドライバ回路 2 2 0 は、図 6 に示すドライバ回路 2 1 0 と比較して、タイミング回路 2 0 をタイミング回路 3 0 に置換した点異なる。また、インバータ INV 2、INV 3 およびタイミング回路 3 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 CT 2 a を構成する。

【 0 0 6 7 】

タイミング回路 3 0 は、トランジスタ 3 1 と、NAND 回路 3 2 と、インバータ 3 3 と、遅延回路 3 4 とを含む。ここでは、一例としてトランジスタ 3 1 は、P チャンネル MOS トランジスタとする。NAND 回路 3 2 は、インバータ 3 3 を介する入力信号 IN の反転信号と遅延回路 3 4 による入力信号 IN の所定期間遅延後の遅延信号とを受けてその NAND 論理演算結果をトランジスタ 3 1 のゲートに出力する。トランジスタ 3 1 は、電源電圧 VDD とノード N 0 との間に配置され、そのゲートは NAND 回路 3 2 の出力信号の入力を受ける。

【 0 0 6 8 】

本発明の実施の形態 2 の変形例 2 のドライバ回路 2 2 0 の動作については実施の形態 2 の図 5 で説明したドライバ回路 2 0 0 の動作と同様である。

【 0 0 6 9 】

タイミング回路 3 0 は、遅延回路 3 4 の遅延時間分、トランジスタ 3 1 をオンし、電源電圧 VDD とノード N 0 とを電氣的に結合する。すなわち、ノード N 0 の電圧レベルを 1 V に設定する。

【 0 0 7 0 】

これにより、遅延回路 3 4 の遅延時間を調整することによりノード N 0 と電源電圧 VDD との電氣的な接続時間を調整することができる。すなわち、ノード N 0 の電圧レベルを 1 V に設定する期間を調整することができる。これにより、効

率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0071】

(実施の形態3)

図8は、本発明の実施の形態3に従うCMOSドライバ回路300の回路構成図である。

【0072】

図8を参照して、本発明の実施の形態3に従うドライバ回路300は、図4で説明した実施の形態2のドライバ回路200と比較して、タイミング回路10をタイミング回路40に置換した点が異なる。また、インバータINV2、INV3およびタイミング回路40は、ノードN0およびN1の電圧レベルを制御する制御回路CT3を構成する。

【0073】

タイミング回路40は、トランジスタ41とインバータ42とを含む。ここでは一例としてトランジスタ41はPチャンネルMOSトランジスタとする。トランジスタ41は、ノードN1とノードN0との間に配置され、そのゲートはインバータ42を介する出力信号OUTの反転信号の入力を受ける。

【0074】

タイミング回路40は、タイミング回路20と同様にトランジスタNT1のターンオン時に一時的に電源電圧VDDとノードN0とを電氣的に結合する。具体的には、出力信号OUTが1V(「H」レベル)においてトランジスタ41をオンし、ノードN1とノードN0とを電氣的に結合する。

【0075】

本発明の実施の形態3のドライバ回路300の動作についても実施の形態2の図5で説明したドライバ回路200の動作と同様である。具体的には、入力信号INが1Vから0Vに遷移した場合について考える。このときの出力信号OUTは1Vであるので、タイミング回路40において、トランジスタ41は、ノードN1とノードN0とを電氣的に導通状態に設定する。インバータINV3は、入力信号INが1Vから0Vに遷移するのに応答してノードN1と電源電圧VDD

(1 V) とを電氣的に結合する。これに伴い、ノードN0と当該電源電圧VDDとが電氣的に結合される。これに応答して、インバータINV1のトランジスタNT1がオンし、ノードNbが接地電圧GND(0 V)と電氣的に結合される。また、これに応答してタイミング回路40は、ノードN1とノードN0とを非接続とする。すなわち、本発明の実施の形態3のドライバ回路300の構成においても、トランジスタNT1がターンオンする場合には、タイミング回路40により電源電圧VDDとノードN0とを電氣的に直接結合させてトランジスタNT1を高速動作させることができる。また、タイミング回路40により、出力信号OUTが0 Vである定常的な状態においては、トランジスタ41をオフして、トランジスタNT1のゲート電圧を降下(0.6 V)させることによりゲートリーク電流を低減することができる。

【0076】

(実施の形態3の変形例1)

図9は、本発明の実施の形態3の変形例1に従うCMOSドライバ回路310の回路構成図である。

【0077】

図9を参照して、本発明の実施の形態3の変形例1に従うドライバ回路310は、図8の実施の形態3のドライバ回路300と比較して、タイミング回路40をタイミング回路50に置換した点が異なる。また、インバータINV2、INV3およびタイミング回路50は、ノードN0およびN1の電圧レベルを制御する制御回路CT3#を構成する。

【0078】

タイミング回路50は、トランジスタ51と、インバータ52と、遅延回路53とを含む。ここではトランジスタ51は、一例としてPチャンネルMOSトランジスタとする。トランジスタ51は、ノードN1とノードN0との間に配置され、インバータ52を介して遅延回路53を通過した入力信号INの反転信号の入力を受ける。すなわち、タイミング回路50は、インバータ52および遅延回路53の通過遅延時間分入力信号INを遅延させる。したがって、入力信号INの1 Vから0 Vの遷移に応答してトランジスタ51はノードN0とノードN1と

の導通状態を遅延時間経過後に非導通状態に設定する。

【0079】

本発明の実施の形態3の変形例1のドライバ回路310の動作については図5で説明したのと同様である。

【0080】

タイミング回路50は、入力信号INが1Vから0Vに遷移した場合において、入力信号INの遅延回路53の遅延時間経過後にオン状態であるトランジスタ51をオフ状態とする。入力信号INが1Vから0Vに遷移するに伴い、インバータINV3は電源電圧VDDとノードN1とを電氣的に結合する。したがって、電源電圧VDDとノードN0とが、遅延回路53の遅延時間に相当する期間、電氣的に結合され、ノードN0の電圧レベルは1Vに設定される。

【0081】

これにより、遅延回路53の遅延時間を調整することによりノードN0と電源電圧VDDとの電氣的な接続時間を調整することができる。すなわち、ノードN0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

【0082】

（実施の形態4）

図10は、本発明の実施の形態4に従うCMOSドライバ回路400の回路構成図である。

【0083】

上記の実施の形態1～3およびその変形例に従うドライバ回路の構成においては、NチャンネルMOSトランジスタNT1のターンオン時におけるゲート電圧を調整することにより、全体として消費電力を低減する構成について説明してきた。本発明の実施の形態4に従うドライバ回路400は、NチャンネルMOSトランジスタNT1のゲートリーク電流を低減するとともに、PチャンネルMOSトランジスタPT1のゲートリーク電流も低減することにより、全体として消費電力をさらに低減することを目的とする。

【 0 0 8 4 】

図 1 0 を参照して、本発明の実施の形態 4 に従うドライバ回路 4 0 0 は、実施の形態 3 のドライバ回路 3 0 0 と比較して、インバータ I N V 3 をインバータ I N V # 3 に置換した点と、タイミング回路 4 0 をタイミング回路 6 0 に置換した点とが異なる。その他の点は同様であるのでその説明は繰返さない。また、インバータ I N V 2, I N V # 3 およびタイミング回路 6 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 4 を構成する。

【 0 0 8 5 】

インバータ I N V # 3 は、インバータ I N V 3 と比較してさらにトランジスタ N T T 3 を含む点で異なる。ここでは、一例としてトランジスタ N T T 3 は、N チャンネル M O S トランジスタとする。トランジスタ N T T 3 は、ソース側を接地電圧 G N D と接続し、ドレインおよびゲートを電氣的に結合したいわゆるダイオード接続したトランジスタである。また、トランジスタ N T T 3 は、トランジスタ N T 3 と接地電圧 G N D との間に配置される。

【 0 0 8 6 】

インバータ I N V # 3 は、トランジスタ N T 3 がオンした場合、トランジスタ N T T 3 を介して接地電圧 G N D とノード N 1 とを電氣的に結合する。このときのノード N 1 の電圧レベルは、接地電圧 G N D からトランジスタ N T T 3 の閾値電圧分上昇した値となる。なお、このトランジスタ N T T 3 の閾値電圧分、接地電圧 G N D から上昇した電圧レベルはトランジスタの P T 1 のオン電圧（たとえば 0. 7 V）の範囲内とする。ここでは、トランジスタ N T T 3 の閾値電圧は、一例として 0. 4 V とする。したがって、トランジスタ P T 1 は 0. 4 V でターンオンする。

【 0 0 8 7 】

タイミング回路 6 0 は、トランジスタ 6 1, 6 2 とインバータ 6 3, 6 4 とを含む。ここでは、一例としてトランジスタ 6 1 は、N チャンネル M O S トランジスタとする。また、トランジスタ 6 2 は、P チャンネル M O S トランジスタとする。インバータ 6 4 は、入力信号 I N の入力を受けてその反転信号をノード N 2 に伝達する。トランジスタ 6 1 は、ノード N 1 とノード N 2 との間に配置され、

そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。トランジスタ 6 2 は、ノード N 2 とノード N 0 との間に配置され、そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。すなわちトランジスタ 6 1 および 6 2 は相補的にオンし、ノード N 2 とノード N 1 およびノード N 0 の一方とが電氣的に結合されている。

【 0 0 8 8 】

図 1 1 のタイミングチャート図を用いて本発明の実施の形態 4 に従うドライバ回路 4 0 0 の動作について説明する。

【 0 0 8 9 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ I N V 2 のトランジスタ N T 2 がオンし、ノード N 0 の電圧レベルは、0 V となる。一方、インバータ I N V # 3 において、トランジスタ N T 3 がオンする。したがって、インバータ I N V # 3 は、ノード N 1 の電圧レベルを 0 . 4 V に設定しようとする。

【 0 0 9 0 】

ここで、タイミング回路 6 0 は、インバータ 6 3 を介する出力信号 O U T (「L」レベル) の入力により、トランジスタ 6 1 を導通状態に設定している。この場合において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ 6 4 は、ノード N 2 と接地電圧 G N D とを電氣的に結合させる。すなわち、ノード N 0 とノード N 1 とは導通状態であるため、結果としてノード N 1 の電圧レベルは 0 V に降下する。これに伴い、インバータ I N V 1 のトランジスタ P T 1 はオンし、電源電圧 V D D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 1 V に設定される。

【 0 0 9 1 】

また、タイミング回路 6 0 は、これに応答してトランジスタ 6 1 をオフして非導通状態とし、トランジスタ 6 2 をオンして導通状態に設定する。したがって、トランジスタ P T 1 がターンオンする場合には、タイミング回路 6 0 により接地電圧 G N D と電氣的に直接結合させることによりトランジスタ P T 1 のオン電流を増大させ、動作速度を上げる。これにより、ノード N b の電圧レベルが 1 V に

遷移する時間を短縮することができる。

【0092】

さらに出力信号OUTが1Vとなった時刻T4以降においては、接地電圧GNDとノードN1とは電氣的に非接続とされるのでトランジスタPT1のオン電圧の範囲内でノードN1の電圧レベルは0.4Vに上昇する。したがって、出力信号OUTが1Vである定常的な状態においては、ゲート電圧を上昇させることによりPチャンネルMOSトランジスタPT1のゲートリーク電流を低減することができる。

【0093】

次に、時刻T2において、入力信号INが1Vから0Vに遷移した場合については、図5で説明した実施の形態2のドライバ回路200の動作と同様であるのでその説明は繰り返さない。

【0094】

すなわち、具体的には、NチャンネルMOSトランジスタNT1の動作時において、インバータ64により電源電圧VDDとノードN0とが電氣的に直接結合される。また、出力信号OUTが0Vである定常的な状態においては、ゲート電圧を下降させることにより、NチャンネルMOSトランジスタNT1のリーク電流を低減することができる。

【0095】

本発明の実施の形態4のドライバ回路400の構成により、トランジスタNT1およびPT1の動作時は、通常の電源電圧VDDおよび接地電圧をそれぞれ供給することによりトランジスタを高速動作させ、定常状態においてはそれぞれ下降および上昇させることによりリーク電流を低減することができる。

【0096】

すなわち、本発明の実施の形態4のドライバ回路400によりトランジスタNT1のリーク電流を低減するとともに、トランジスタPT1のリーク電流も低減することができるため全体として消費電力をさらに低減することが可能となる。

【0097】

(実施の形態5)

図 1 2 は、本発明の実施の形態 5 に従うドライバ回路 5 0 0 の回路構成図である。

【0098】

上記の実施の形態 1 ～ 4 およびその変形例に従うドライバ回路の構成においては 1 入力の入力信号 IN に応じて出力信号 OUT を出力するドライバ回路の構成について説明してきた。

【0099】

本発明の実施の形態 5 に従うドライバ回路 5 0 0 においては 2 入力の入力信号 $IN1$ および $IN2$ に応じて AND 論理演算結果である出力信号 OUT を出力するドライバ回路の回路構成について説明する。

【0100】

図 1 2 を参照して、本発明の実施の形態 5 のドライバ回路 5 0 0 は、NAND 回路 $ND0$ および $ND1$ と、タイミング回路 7 0 と、インバータ $INV1$ とを含む。また、NAND 回路 $ND0$ 、 $ND1$ およびタイミング回路 7 0 は、ノード $N0$ および $N1$ の電圧レベルを制御する制御回路 $CT5$ を構成する。

【0101】

NAND 回路 $ND0$ は、トランジスタ 1 0 2 ～ 1 0 6 とを含む。トランジスタ 1 0 5 および 1 0 6 は、ノード $N0$ と接地電圧 GND との間に直列に接続され、そのゲートはそれぞれ入力信号 $IN1$ および $IN2$ の入力を受ける。トランジスタ 1 0 2 は、ソース側を電源電圧 VDD と接続し、ゲートドレイン間を電氣的に結合したいわゆるダイオード接続したトランジスタである。ここでは、トランジスタ 1 0 2 の閾値電圧は、0.4 V とする。トランジスタ 1 0 3 および 1 0 4 は、トランジスタ 1 0 2 を介して並列に電源電圧 VDD とノード $N0$ との間に配置され、そのゲートはそれぞれ入力信号 $IN1$ および $IN2$ の入力を受ける。この NAND 回路 $ND0$ は、入力信号 $IN1$ および $IN2$ の入力に応じてその NAND 論理演算結果をノード $N0$ に出力する。また、NAND 回路 $ND1$ は、入力信号 $IN1$ および $IN2$ の入力に応じてその NAND 論理演算結果をノード $N1$ に出力する。たとえば入力信号 $IN1$ および $IN2$ がともに「H」レベルに設定されているときにはノード $N1$ は「L」レベルすなわち 0 V に設定される。一方、

入力信号 I N 1 および I N 2 のいずれか一方が「H」レベルのときはノード N 1 は「H」レベルすなわち 1 V に設定する。

【0 1 0 2】

タイミング回路 7 0 は、トランジスタ 7 1 ～ 7 3 と、インバータ 7 4 とを含む。トランジスタ 7 1 および 7 2 は、それぞれ電源電圧 V D D とトランジスタ 7 3 との間に並列に配置され、それぞれ入力信号 I N 1 および I N 2 の入力を受ける。トランジスタ 7 3 は、トランジスタ 7 1 および 7 2 とノード N 0 との間に配置され、そのゲートは、インバータ 7 4 を介する出力信号 O U T の反転信号の入力を受ける。

【0 1 0 3】

図 1 3 のタイミングチャート図を用いて本発明の実施の形態 5 に従うドライバ回路 5 0 0 の動作について説明する。初期状態において、入力信号 I N 1 は、0 V とし、入力信号 I N 2 は、1 V とする。

【0 1 0 4】

時刻 T 1 において、入力信号 I N 1 が 0 V から 1 V に遷移した場合について考える。入力信号 I N 1 および I N 2 がともに 1 V に設定されるため、これに応答して N A N D 回路 N D 1 は、ノード N 1 の電圧レベルを 0 V に設定する。N A N D 回路 N D 0 において、入力信号 I N 1 および I N 2 に応答してトランジスタ 1 0 5 および 1 0 6 がオンする。したがって、接地電圧 G N D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは 0 V となる。これに伴い、インバータ I N V 1 のトランジスタ P T 1 がオンし、電源電圧 V D D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは、1 V に設定される。

【0 1 0 5】

一方、タイミング回路 7 0 のトランジスタ 7 3 は、インバータ 7 4 を介する出力信号 O U T の反転信号の入力を受ける。したがって、出力信号 O U T が「H」レベルである場合において、トランジスタ 7 3 は導通状態に設定されている。

【0 1 0 6】

時刻 T 2 において、入力信号 I N 1 が 1 V から 0 V に遷移した場合について考

える。この場合において、NAND回路ND1は、入力信号IN1およびIN2に
 応答してノードN1を1Vに設定する。NAND回路ND0は、入力信号IN
 1が0V、入力信号IN2が1Vに
 応答して、トランジスタ103をオンする。
 すなわち、トランジスタ102を介して電源電圧VDDとノードN0とが電氣的
 に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

【0107】

一方、タイミング回路70において、入力信号IN1が0Vに
 応答してトラン
 ジスタ71がオンする。この場合において、トランジスタ73は導通状態である
 。したがって、電源電圧VDDとノードN0とが電氣的に結合される。したがっ
 て、結果的にノードN0の電圧レベルは1Vに設定される。

【0108】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧G
 NDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベ
 ルは0Vに設定される。

【0109】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降において
 は、トランジスタ73をオフとし、電源電圧VDDとノードN0との電氣的な接
 続をカットする。したがって、出力信号OUTが0Vである定常的な状態におい
 ては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、
 トランジスタNT1のゲートリーク電流を低減することができる。

【0110】

本発明の実施の形態5のドライバ回路500の構成により入力信号がIN1お
 よびIN2の2入力信号であるドライバ回路においても、最終段のインバータI
 NV1を構成するトランジスタNT1のリーク電流を低減することができ、全体
 的に消費電力を低減することが可能となる。

【0111】

(実施の形態5の変形例)

図14は、本発明の実施の形態5の変形例に従うドライバ回路510の回路構
 成図である。

【0 1 1 2】

本発明の実施の形態 5 の変形例に従うドライバ回路 5 1 0 の構成においては 2 入力の入力信号 I N 1 および I N 2 に応じて O R 論理演算結果である出力信号 O U T を出力するドライバ回路の回路構成について説明する。

【0 1 1 3】

図 1 4 を参照して、実施の形態 5 の変形例に従うドライバ回路 5 1 0 は、図 1 2 に示す実施の形態 5 のドライバ回路 5 0 0 と比較して N A N D 回路 N D 0 および N D 1 を N O R 回路 N R 0 および N R 1 に置換した点と、タイミング回路 7 0 をタイミング回路 8 0 に置換した点とが異なる。また、N O R 回路 N R 0, N R 1 およびタイミング回路 8 0 はノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 5 # を構成する。

【0 1 1 4】

N O R 回路 N R 1 は、入力信号 I N 1, I N 2 の入力を受けてその N O R 論理演算結果をノード N 1 に出力する。N O R 回路 N R 0 は、トランジスタ 1 1 2 ~ 1 1 6 とを含む。ここでは、一例としてトランジスタ 1 1 2 ~ 1 1 4 は、P チャネル MOS トランジスタとする。また、トランジスタ 1 1 5 および 1 1 6 は、N チャネル MOS トランジスタとする。トランジスタ 1 1 5 および 1 1 6 は、ノード N 0 と接地電圧 G N D との間に並列にそれぞれ配置され、それぞれのゲートは入力信号 I N 1 および I N 2 の入力を受ける。トランジスタ 1 1 2 はソース側を電源電圧 V D D と接続され、ゲートおよびドレイン間はそれぞれ電氣的に結合されたいわゆるダイオード接続されたトランジスタである。トランジスタ 1 1 3 および 1 1 4 は、トランジスタ 1 1 2 を介して電源電圧 V D D とノード N 0 との間に直列に接続され、それぞれのゲートは入力信号 I N 1, I N 2 の入力を受ける。

【0 1 1 5】

タイミング回路 8 0 は、トランジスタ 8 1 ~ 8 3 と、インバータ 8 4 とを含む。ここでは、一例としてトランジスタ 8 1 ~ 8 3 は、P チャネル MOS トランジスタとする。トランジスタ 8 1 および 8 2 は、トランジスタ 8 3 を介してノード N 0 と電源電圧 V D D との間に直列に接続され、それぞれのゲートは入力信号

IN1 および IN2 の入力を受ける。また、トランジスタ 83 はトランジスタ 82 とノード N0 との間に配置され、インバータ 84 を介して出力信号 OUT の反転信号の入力を受ける。

【0116】

図 15 のタイミングチャート図を用いて本発明の実施の形態 5 の変形例に従うドライバ回路 510 の動作について説明する。初期状態において、入力信号 IN1 および IN2 は、0V とする。

【0117】

時刻 T1 において、入力信号 IN2 が 0V から 1V に遷移した場合について考える。入力信号 IN1 が 0V であり、入力信号 IN2 が 1V であるため、これに応答して NOR 回路 NR1 は、ノード N1 の電圧レベルを 0V に設定する。NOR 回路 NR0 において、入力信号 IN1 および IN2 に応答してトランジスタ 116 がオンする。したがって、接地電圧 GND とノード N0 とが電氣的に結合され、ノード N0 の電圧レベルは 0V となる。これに伴いインバータ INV1 のトランジスタ PT1 がオンし、電源電圧 VDD とノード Nb とが電氣的に結合される。したがって、ノード Nb の電圧レベルは、1V に設定される。

【0118】

一方、タイミング回路 80 のトランジスタ 83 は、インバータ 74 を介する出力信号 OUT の反転信号の入力を受ける。したがって、出力信号 OUT が「H」レベルである場合において、トランジスタ 83 は導通状態に設定されている。

【0119】

時刻 T2 において、入力信号 IN2 が 1V から 0V に遷移した場合について考える。この場合において、NOR 回路 NR1 は、入力信号 IN1 および IN2 に応答してノード N1 を 1V に設定する。NAND 回路 NR0 は、入力信号 IN1 が 0V、入力信号 IN2 が 0V に応答して、トランジスタ 113 および 114 をオンする。すなわち、トランジスタ 112 を介して電源電圧 VDD とノード N0 とが電氣的に結合される。したがって、ノード N0 の電圧レベルは、0.6V へ向かう。

【0120】

一方、タイミング回路 7 0 において、入力信号 I N 1 および I N 2 が共に 0 V に応答してトランジスタ 8 1 および 8 2 がオンする。この場合において、トランジスタ 8 3 は導通状態である。したがって、電源電圧 V D D とノード N 0 とが電氣的に結合される。したがって、結果的にノード N 0 の電圧レベルは 1 V に設定される。

【 0 1 2 1 】

これに伴い、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは 0 V に設定される。

【 0 1 2 2 】

タイミング回路 1 0 は、出力信号 O U T が 0 V となった時刻 T 4 以降においては、トランジスタ 8 3 をオフとし、電源電圧 V D D とノード N 0 との電氣的な接続をカットする。したがって、出力信号 O U T が 0 V である定常的な状態においては、トランジスタ N T 1 のゲート電圧は 0 . 6 V に降下される。これにより、トランジスタ N T 1 のゲートリーク電流を低減することができる。

【 0 1 2 3 】

本発明の実施の形態 5 の変形例のドライバ回路 5 1 0 の構成により入力信号が I N 1 および I N 2 の 2 入力信号であるドライバ回路においても、最終段のインバータ I N V 1 を構成するトランジスタ N T 1 のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

【 0 1 2 4 】

(実施の形態 6)

上記の実施の形態 1 ～ 5 およびその変形例に従うドライバ回路の構成においては、最終段のインバータを構成するトランジスタのゲート電圧を中間的な電圧レベルに設定することにより、最終段のインバータを構成するトランジスタのゲートリーク電流を低減する方式について説明してきた。

【 0 1 2 5 】

本発明の実施の形態 6 に従うドライバ回路 6 0 0 は、最終段のトランジスタ N T 1 のゲートに与えるゲート電圧を非動作時に完全に接地電圧 G N D レベルに落

とすることにより、さらに消費電力を低減する構成について説明する。

【0126】

図16は、本発明の実施の形態6に従うドライバ回路600の構成図である。

図16を参照して、本発明の実施の形態6に従うドライバ回路600は、図4に示したドライバ回路200と比較して、インバータINV2を削除した点と、トランジスタNT4、NT5を新たに設けた点とが異なる。その他のインバータINV1、INV3については実施の形態2の図4に示したドライバ回路200と同様の構成であるのでその説明は繰り返さない。インバータINV3およびタイミング回路10は、ノードN0およびN1の電圧レベルを制御する制御回路CT6を構成する。

【0127】

トランジスタNT5は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは、入力信号INの入力を受ける。また、トランジスタNT4は、トランジスタNT1と並列に、ノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電氣的に接続される。

【0128】

一例として、トランジスタNT4およびNT5は、NチャンネルMOSトランジスタとする。なお、トランジスタNT4およびNT5の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタNT4およびNT5のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0129】

図17のタイミングチャート図を用いて本発明の実施の形態6に従うドライバ回路600の動作について説明する。

【0130】

時刻T1において、入力信号INが0Vから1Vに遷移した場合について考える。インバータINV3は、入力信号INの反転信号をノードN1に伝達する。すなわち、ノードN1は、接地電圧GNDと電氣的に結合され、ノードN1の電圧レベルは0Vに設定される。これにตอบสนองして、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電氣的に結合される。し

たがって、ノードN bの電圧レベルは1 Vとなる。トランジスタN T 5は、入力信号I Nに応答して接地電圧G N DとノードN 0とを電氣的に結合する。したがって、ノードN 0の電圧レベルは0 Vに設定される。

【0 1 3 1】

一方、タイミング回路1 0は、時刻T 1においては実施の形態2で説明したのと同様に、トランジスタ1が入力信号I Nに応答して非導通状態であるため機能しない。なお、この場合、ノードN bの電圧レベルは、1 Vに設定されているためタイミング回路1 0のトランジスタ2は、インバータ3の反転信号(0 V)に
応答して導通状態である。

【0 1 3 2】

次に、時刻T 2において、入力信号I Nが1 Vから0 Vに遷移した場合について考える。インバータI N V 3は、入力信号I Nの反転信号をノードN 1に伝達する。すなわちノードN 1は、電源電圧V D Dと電氣的に結合され、ノードN 1の電圧レベルは0 Vから1 Vに設定される。したがって、インバータI N V 1のトランジスタP T 1は、オフする。

【0 1 3 3】

一方、タイミング回路1 0のトランジスタ2は、上述したようにオン状態であるため時刻T 2において、入力信号I Nが1 Vから0 Vに遷移した場合、トランジスタ1がオンする。これに伴い、図5のタイミングチャートで説明したのと同様にトランジスタ1および2がオンし、電源電圧V D DとノードN 0とを電氣的結合する。したがって、ノードN 0の電圧レベルは1 Vに設定される。これに
応答して、インバータI N V 1のトランジスタN T 1がオンし、接地電圧G N DとノードN bとが電氣的に結合され、ノードN bの電圧レベルは0 V(「L」レベル)に設定される。

【0 1 3 4】

次に、ノードN bの電圧レベルが0 Vへ変化するとタイミング回路1 0は、トランジスタ2をオフとする。すなわち、タイミング回路1 0からノードN 0に対しての電源電圧V D D(1 V)の供給が停止される。

【0 1 3 5】

また、このタイミング回路 1 0 の動作とともに、トランジスタ N T 4 はノード N 1 の電圧レベルが 1 V に設定されるのに伴いオン状態となり、接地電圧 G N D とノード N b とを電氣的に結合し、ノード N b の電圧レベルを 0 V に設定する。

【 0 1 3 6 】

したがって、ノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

【 0 1 3 7 】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 1 3 8 】

この状態においてノード N 0 は、上述したようにタイミング回路 1 0 からの電源電圧 V D D の供給が停止されるためフローティング状態となるがトランジスタ N T 1 のゲートリークにより緩やかにノード N 0 の電圧レベルは接地電圧 G N D レベルに下がり、トランジスタ N T 1 はオフ状態になる。

【 0 1 3 9 】

本発明の実施の形態 6 のドライバ回路 6 0 0 すなわち電流駆動能力の異なる 2 種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタ N T 1 のゲート電圧を非動作時に 0 V に設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【 0 1 4 0 】

(実施の形態 6 の変形例 1)

図 1 8 は、本発明の実施の形態 6 の変形例 1 に従うドライバ回路 6 1 0 の回路構成図である。

【 0 1 4 1 】

図 1 8 を参照して、本発明の実施の形態 6 の変形例 1 に従うドライバ回路 6 1 0 は、図 1 6 で説明した実施の形態 6 のドライバ回路 6 0 0 と比較して、タイミング回路 1 0 をタイミング回路 4 0 に置換した点が異なる。タイミング回路 4 0 は、トランジスタ 4 1 とインバータ 4 2 とを含む。インバータ I N V 3 およびタイミング回路 4 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 6 # を構成する。

【 0 1 4 2 】

タイミング回路 4 0 は、タイミング回路 2 0 と同様にトランジスタ N T 1 のターンオン時に一時的に電源電圧 V D D とノード N 0 とを電氣的に結合する。具体的には、出力信号 O U T が 1 V (「H」レベル) においてトランジスタ 4 1 をオンし、ノード N 1 とノード N 0 とを電氣的に結合する。

【 0 1 4 3 】

本発明の実施の形態 6 の変形例 1 に従うドライバ回路 6 1 0 の動作についても実施の形態 6 の図 1 7 で説明したドライバ回路 6 0 0 の動作と同様である。

【 0 1 4 4 】

具体的には、入力信号 I N が 1 V から 0 V に遷移した場合に出力信号 O U T は 1 V であるので、タイミング回路 4 0 において、トランジスタ 4 1 は、ノード N 1 とノード N 0 とを電氣的に導通状態に設定する。インバータ I N V 3 は、入力信号 I N が 1 V から 0 V に遷移するのに応答してノード N 1 と電源電圧 V D D (1 V) とを電氣的に結合する。これに伴い、ノード N 0 と当該電源電圧 V D D とが電氣的に結合される。これに応答して、インバータ I N V 1 のトランジスタ N T 1 がオンし、ノード N b が接地電圧 G N D (0 V) と電氣的に結合される。これに伴い、タイミング回路 4 0 は、ノード N 1 とノード N 0 とを非接続とする。また、ノード N 1 が 1 V になるに伴いトランジスタ N T 4 がオンし、ノード N b は接地電圧 G N D と電氣的に結合される。

【 0 1 4 5 】

したがって、上述したようにノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。すな

わち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0146】

また、この状態においてノードN0は、上述したように電源電圧VDDの供給が停止し、フローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0147】

本発明の実施の形態6の変形例1に従うドライバ回路610においても、2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0148】

(実施の形態6の変形例2)

本発明の実施の形態6の変形例2は、図12の実施の形態5で説明した2入力の入力信号に応じてAND論理演算結果を出力するドライバ回路において、トランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0149】

図19は、本発明の実施の形態6の変形例2に従うドライバ回路620の回路構成図である。

【0150】

図19を参照して、本発明の実施の形態6の変形例2に従うドライバ回路620は、図12のドライバ回路610と比較して、NAND回路ND0を削除した点と、トランジスタNT4～NT6をさらに設けた点とが異なる。また、NAND回路ND1およびタイミング回路70は、ノードN0およびN1の電圧レベルを制御する制御回路CT6aを構成する。一例として、トランジスタNT4～N

T 6 は、N チャンネル MOS トランジスタとする。なお、トランジスタ N T 4 ~ N T 6 の電流駆動力はトランジスタ N T 1 と比較して小さいものとする。具体的には、トランジスタ N T 4 ~ N T 6 のゲート幅は、トランジスタ N T 1 のゲート幅よりも狭いものとする。

【 0 1 5 1 】

トランジスタ N T 4 は、トランジスタ N T 1 と並列にノード N b と接地電圧 G N D との間に配置され、そのゲートはノード N 1 と電氣的に結合される。トランジスタ N T 5 および N T 6 は、ノード N 0 と接地電圧 G N D との間に直列に接続され、それぞれのゲートは、入力信号 I N 2 および I N 1 の入力を受ける。

【 0 1 5 2 】

N A N D 回路 N D 1 は、上述したように入力信号 I N 1 および I N 2 の入力に応じてその N A N D 論理演算結果をノード N 1 に出力する。たとえば入力信号 I N 1 および I N 2 がともに「H」レベルに設定されているときにはノード N 1 は「L」レベルすなわち 0 V に設定される。一方、入力信号 I N 1 および I N 2 のいずれか一方が「L」レベルのときは、ノード N 1 は「H」レベルすなわち 1 V に設定される。

【 0 1 5 3 】

タイミング回路 7 0 は、上述したように所定期間ノード N 0 の電圧レベルを調整する。

【 0 1 5 4 】

図 2 0 のタイミングチャート図を用いて本発明の実施の形態 6 の変形例 2 に従うドライバ回路 6 2 0 の動作について説明する。初期状態において、入力信号 I N 1 は、0 V とし、入力信号 I N 2 は、1 V とする。

【 0 1 5 5 】

時刻 T 1 において、入力信号 I N 1 が 0 V から 1 V に遷移した場合について考える。図 1 1 において説明したのと同様に入力信号 I N 1 および I N 2 がともに 1 V に設定されるため、これに応答して N A N D 回路 N D 1 は、ノード N 1 の電圧レベルを 0 V に設定する。これに伴い、インバータ I N V 1 のトランジスタ P T 1 がオンし、電源電圧 V D D とノード N b とが電氣的に結合される。したがっ

て、ノードN bの電圧レベルは、1 Vに設定される。

【0156】

また、トランジスタNT 5およびNT 6は、ともに入力信号IN 1およびIN 2（1 V）に応答してオンする。したがって、接地電圧GNDとノードN 0とが電氣的に結合され、ノードN 0の電圧レベルは0 Vとなる。

【0157】

一方、タイミング回路70のトランジスタ73は、図11のタイミングチャート図で説明したのと同様に出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0158】

時刻T2において、入力信号IN 1が1 Vから0 Vに遷移した場合について考える。この場合において、NAND回路ND 1は、入力信号IN 1およびIN 2に応答してノードN 1を1 Vに設定する。したがって、トランジスタPT 1は、オフとなる。

【0159】

タイミング回路70において、入力信号IN 1が0 Vに応答してトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN 0とが電氣的に結合される。したがって、結果的にノードN 0の電圧レベルは1 Vに設定される。

【0160】

これに伴い、インバータINV 1のトランジスタNT 1がオンし、接地電圧GNDとノードN bとが電氣的に結合される。したがって、ノードN bの電圧レベルは0 Vに設定される。

【0161】

次に、タイミング回路10は、出力信号OUTが0 Vとなった時刻以降においては、再びトランジスタ73をオフとし、電源電圧VDDとノードN 0との電氣的に切離する。これに伴い、ノードN 0に対する電圧供給がカットされ、トランジスタNT 1はオフとなる。

【0162】

一方、このタイミング回路 1 0 の動作とともに、トランジスタ N T 4 は、ノード N 1 の電圧レベルが 1 V に設定されるのに伴い、オン状態となり接地電圧 G N D とノード N b とを電氣的に結合し、ノード N b の電圧レベルを 0 V に設定する。

【 0 1 6 3 】

したがって、ノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

【 0 1 6 4 】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 1 6 5 】

この状態においてノード N 0 は、電圧供給のカットによりフローティング状態となるがトランジスタ N T 1 のゲートリークにより緩やかにノード N 0 の電圧レベルは下がり、トランジスタ N T 1 はオフ状態になる。

【 0 1 6 6 】

本発明の実施の形態 6 の変形例 2 の 2 入力のアンド回路構成であるドライバ回路 6 2 0 においても、電流駆動能力の異なる 2 種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタ N T 1 のゲート電圧を非動作時に 0 V に設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【 0 1 6 7 】

（実施の形態 6 の変形例 3）

本発明の実施の形態 6 の変形例 3 は、2 入力の入力信号 I N 1 および I N 2 に応じてオア論理演算結果である出力信号 O U T を出力するドライバ回路 6 3 0 の

回路構成について説明する。

【0168】

図21は、本発明の実施の形態6の変形例3に従う2入力のOR回路構成であるドライバ回路630の回路構成図である。

【0169】

図21を参照して、本発明の実施の形態6の変形例3に従うドライバ回路630は、図14に示す実施の形態5の変形例に従うドライバ回路510と比較してNR0を削除した点と、トランジスタNT4～NT6をさらに設けた点とが異なる。また、NOR回路NR1およびタイミング回路80は、ノードN0およびN1の電圧レベルを制御する制御回路CT6bを構成する。

【0170】

トランジスタNT4は、トランジスタNT1と並列にノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電氣的に結合される。トランジスタNT5およびNT6は、ノードN0と接地電圧GNDとの間にそれぞれ並列に接続され、それぞれのゲートは、入力信号IN1およびIN2の入力を受ける。

【0171】

図22のタイミングチャート図を用いて本発明の実施の形態6の変形例3に従うドライバ回路630の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0172】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。図15において説明したのと同様に入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これに応答してNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。これに伴いインバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0173】

また、トランジスタNT6は、入力信号IN2（1V）に応答してオンする。

したがって、接地電圧GNDとノードN0とが電氣的に結合され、ノードN0の電圧レベルは0Vとなる。

【0174】

一方、タイミング回路80のトランジスタ83は、図15のタイミングチャートで説明したのと同様にインバータ84を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ83は導通状態に設定されている。

【0175】

時刻T2において、入力信号IN2が1Vから0Vに遷移した場合について考える。この場合において、NOR回路NR1は、入力信号IN1およびIN2に応答してノードN1を1Vに設定する。したがって、トランジスタPT1は、オフとなる。

【0176】

一方、タイミング回路70において、入力信号IN1およびIN2が共に0Vに応答してトランジスタ81および82がオンする。この場合において、トランジスタ83は導通状態である。したがって、電源電圧VDDとノードN0とが電氣的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0177】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0178】

また、タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ83をオフとし、電源電圧VDDとノードN0との電氣的な接続を切離する。これに伴い、ノードN0に対する電圧供給がカットされ、トランジスタNT1はオフとなる。

【0179】

一方、このタイミング回路10の動作とともに、トランジスタNT4は、ノー

ドN 1 の電圧レベルが 1 V に設定されるのに伴い、オン状態となり接地電圧 GND とノード N b とを電氣的に結合し、ノード N b の電圧レベルを 0 V に設定する。

【0 1 8 0】

したがって、ノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

【0 1 8 1】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0 1 8 2】

この状態においてノード N 0 は、上述したように電圧供給のカットによりフローティング状態となるがトランジスタ N T 1 のゲートリークにより緩やかにノード N 0 の電圧レベルは下がり、トランジスタ N T 1 はオフ状態になる。

【0 1 8 3】

本発明の実施の形態 6 の変形例 3 の 2 入力の O R 回路構成であるドライバ回路 6 3 0 においても、電流駆動能力の異なる 2 種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタ N T 1 のゲート電圧を非動作時に 0 V に設定することにより、リーク電流をさらに低減することができる。結果としてドライバ回路全体のリーク電流を低減することができる。

【0 1 8 4】

(実施の形態 7)

上記の実施の形態 6 においては、N チャンネル M O S トランジスタについて電流駆動能力の高いトランジスタ N T 1 と電流駆動能力の低いトランジスタ N T 4 との 2 種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低

減する構成について説明してきた。

【0185】

本実施の形態7については、PチャンネルMOSトランジスタについても同様に電流駆動能力の高いトランジスタおよび低いトランジスタの2種類を用いて動作高速性を担保するとともに消費電力を低減する構成について説明する。

【0186】

図23は、本発明の実施の形態7に従うCMOSドライバ回路700の回路構成図である。

【0187】

図23を参照して、本発明の実施の形態7に従うドライバ回路700は、インバータINV1と、INV4と、制御回路90とを含む。

【0188】

インバータINV1については、実施の形態1で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0189】

インバータINV4は、ノードNbを介してインバータINV1と直列に接続され、インバータINV1よりも電圧駆動能力の低いトランジスタで構成される。具体的には、インバータINV4は、トランジスタPT4、PT5を含む。

【0190】

トランジスタPT4は、電源電圧VDDとノードNbとの間に配置され、そのゲートはノードN2と電気的に結合される。トランジスタNT4は、接地電圧GNDとノードNbとの間に配置され、そのゲートはノードN2と電気的に結合される。

【0191】

制御回路90は、インバータ93、94と、トランジスタ91、92、95、96とを含む。

【0192】

トランジスタ95は、電源電圧VDDとノードN1との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタ91は、ノードN1とノード

N 2 との間に配置され、そのゲートはインバータ 9 3 を介するノード N b の反転信号の入力を受ける。トランジスタ 9 2 は、ノード N 2 とノード N 0 との間に配置され、そのゲートはインバータ 9 3 を介するノード N b の反転信号の入力を受ける。トランジスタ 9 6 は、ノード N 0 と接地電圧 G N D との間に配置され、そのゲートは入力信号 I N の入力を受ける。インバータ 9 4 は、入力信号 I N の入力を受けてその反転信号をノード N 2 に伝達する。

【 0 1 9 3 】

図 2 4 のタイミングチャート図を用いて本発明の実施の形態 7 に従うドライバ回路 7 0 0 の動作について説明する。

【 0 1 9 4 】

入力信号 I N が 0 V の定常状態において、ノード N b は 0 V に設定されている。したがって、制御回路 9 0 のインバータ 9 3 は、ノード N b の電圧レベルにตอบสนองしてオンしている。したがって、ノード N 1 とノード N 2 とは電氣的に結合されている。

【 0 1 9 5 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、制御回路 9 0 のインバータ 9 4 は、ノード N 2 を 0 V に設定する。これに伴い、インバータ I N V 1 は、ノード N 2 の電圧レベルにตอบสนองしてオンし、電源電圧 V D D とノード N b とを電氣的に結合する。すなわち、ノード N b の電圧レベルは 1 V に設定される。また、ノード N b の電圧レベルが 1 V に設定されると制御回路 9 0 のインバータ 9 3 は、トランジスタ 9 1 をオフするとともにトランジスタ 9 2 をオンする。したがって、ノード N 2 とノード N 0 とが電氣的に結合される。これに伴い、ノード N 1 への電源供給がカットされ、トランジスタ P T 1 はオフとなる。

【 0 1 9 6 】

一方、時刻 T 1 において、ノード N 2 の電圧レベルにตอบสนองしてインバータ I N V 4 のトランジスタ P T 4 がオンする。これに伴い、ノード N b と電源電圧 V D D とが電氣的に結合され、ノード N b は 1 V に設定される。

【 0 1 9 7 】

したがって、トランジスタ P T 1 および P T 4 の動作に伴い、ノード N b は、1 V に設定される。また、制御回路 9 0 のトランジスタ 9 6 は、入力信号 I N (1 V) に応答してオンし、ノード N 0 と接地電圧 G N D とを電氣的に結合する。

【 0 1 9 8 】

次に、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合について考える。

【 0 1 9 9 】

制御回路 9 0 のインバータ 9 4 は、ノード N 2 を 1 V に設定する。上述したように、トランジスタ 9 2 はオンし、ノード N 2 とノード N 0 とは電氣的に結合されている。したがって、インバータ I N V 1 のトランジスタ N T 1 がオンし、ノード N b と接地電圧 G N D とが電氣的に結合される。これに伴い、ノード N b の電圧レベルは 0 V に設定される。ノード N b が 0 V になるに従い制御回路 9 0 のインバータ 9 3 は、トランジスタ 9 2 をオフするとともにトランジスタ 9 1 をオンする。したがって、上述したようにノード N 2 とノード N 1 とが電氣的に結合される。これに伴い、ノード N 0 への電源供給がカットされ、トランジスタ N T 1 はオフとなる。

【 0 2 0 0 】

一方、時刻 T 2 において、ノード N 2 の電圧レベルに応答してインバータ I N V 4 のトランジスタ N T 4 がオンする。これに伴い、ノード N b と接地電圧 G N D とが電氣的に結合され、ノード N b は 0 V に設定される。

【 0 2 0 1 】

したがって、トランジスタ N T 1 および N T 4 の動作に伴い、ノード N b は、0 V に設定される。また、制御回路 9 0 のトランジスタ 9 5 は、入力信号 I N (0 V) に応答してオンし、ノード N 1 と電源電圧 V D D とを電氣的に結合する。

【 0 2 0 2 】

上述したように入力信号 I N が 0 V から 1 V に遷移する期間においては、トランジスタ P T 1 および P T 4 がともにオンする。この出力信号 O U T が 0 V から 1 V へ変化する遷移期間においては、動作速度の速いトランジスタ P T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 1 V に設定さ

れた後の定常期間には、トランジスタ P T 4 を用いて 1 V に固定する。

【 0 2 0 3 】

すなわち、リーク電流の大きなトランジスタ P T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 2 0 4 】

一方、入力信号 I N が 1 V から 0 V に遷移する期間においては、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

【 0 2 0 5 】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 2 0 6 】

この定常期間においてノード N 0 および N 1 は、上述したように電圧供給のカットによりともにフローティング状態となるがトランジスタ N T 1 および P T 1 のゲートリークにより緩やかにノード N 0 および N 1 のそれぞれの電圧レベルは下がり、トランジスタ N T 1 および P T 1 はそれぞれオフ状態になる。

【 0 2 0 7 】

本発明の実施の形態 7 のドライバ回路 7 0 0 は、電流駆動能力の異なる 2 種類のトランジスタを電源電圧 V D D 側および接地電圧 G N D 側の両方に設ける構成である。これに伴い、ドライバ回路 7 0 0 の動作高速性をさらに担保するとともに、リーク電流の大きなトランジスタ N T 1 および P T 1 のゲート電圧を非動作時に 0 V および 1 V に設定することにより、リーク電流をさらに低減することができる。結果としてドライバ回路全体のリーク電流を低減することができる。

【 0 2 0 8 】

(実施の形態 8)

上記の実施の形態 6、7 については、電流駆動能力の異なる 2 種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低減する構成について説明した。

【0209】

本実施の形態 8 についてはドライバ回路のスタンバイ時において、具体的には、入力信号 I_N が 0 V を維持している場合において、外部から受けるノイズにより出力信号 $O_U T$ の受ける影響を抑制する構成について説明する。

【0210】

図 25 は、本実施の形態 8 のドライバ回路 600 a の概略構成図である。

図 25 を参照して、本実施の形態 8 のドライバ回路 600 a は、図 16 のドライバ回路 600 と比較して、タイミング回路 10 をタイミング回路 10 a に置換した点異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【0211】

タイミング回路 10 a は、タイミング回路 10 と比較して、トランジスタ 2 # をさらに含む。その他の点は同様であるのでその詳細な説明は繰り返さない。トランジスタ 2 # は、トランジスタ 2 と並列に、トランジスタ 1 とノード N_0 との間に配置され、外部から入力される制御信号 $/P$ をゲートに受ける。トランジスタ 2 # は、P チャンネル MOS トランジスタとする。インバータ $I_{NV} 3$ およびタイミング回路 10 a は、ノード N_0 および N_1 の電圧レベルを制御する制御回路 $C T 6 a \#$ を構成する。また、トランジスタ 2 # は、ノイズ調整回路を構成する。

【0212】

本実施の形態 8 のドライバ回路 600 a は、スタンバイ時において、制御信号 $/P$ (0 V) の信号の入力を受ける。その他の場合においては、制御信号 $/P$ (1 V) の入力を受ける。この場合における動作は、実施の形態 6 のドライバ回路 600 で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0213】

図 26 のタイミングチャート図を用いて本発明の実施の形態 8 のドライバ回路 600 a の動作について説明する。

【 0 2 1 4 】

図 2 6 を参照して、スタンバイ期間の時刻 $T T 1$ において、出力信号 $O U T$ がノイズの影響により $0 V$ から浮き上がった場合について考える。ノイズとしては、一例として図示しない隣接する信号線の電圧レベルが変化した場合に隣接する信号線とのカップリング容量により引き起こされる場合がある。ここで、制御信号 $/P$ は $0 V$ に設定されているものとする。

【 0 2 1 5 】

このスタンバイ期間において、入力信号 $I N$ は $0 V$ を維持している。したがって、ノード $N 1$ は $1 V$ に設定されており、電流駆動能力の低いトランジスタ $N T 4$ がオンした状態を維持している。このトランジスタ $N T 4$ は、電流駆動能力が低い場合時刻 $T T 1$ に生じたノイズが解消されるためには期間 $S 2$ も掛かることとなる。

【 0 2 1 6 】

本実施の形態 8 においては、スタンバイ時において、外部から制御信号 $/P$ ($0 V$) が入力される。この場合、たとえば時刻 $T T 2$ において、出力信号 $O U T$ がノイズの影響により $0 V$ から浮き上がった場合について考える。制御信号 $/P$ ($0 V$) の入力に伴い、トランジスタ 2 # がオンする。入力信号 $I N$ は $0 V$ に設定されているためトランジスタ 1 がオンしている。したがって、トランジスタ 1 および 2 # のオンに伴い電源電圧 $V D D$ とノード $N 0$ とが電氣的に結合されて、ノード $N 0$ は $1 V$ に設定される。これに伴い、電流駆動能力の高いトランジスタ $N T 1$ がオンする。したがって、時刻 $T T 2$ において、出力信号 $O U T$ にノイズが生じた場合においても期間 $S 2$ よりも短い期間 $S 1$ で解消される。

【 0 2 1 7 】

したがって、本実施の形態 8 のドライバ回路 6 0 0 a の構成により、スタンバイ時において外部から受けるノイズにより出力信号 $O U T$ の受ける影響を抑制することができる。

【 0 2 1 8 】

なお、スタンバイ時において、外部から入力される制御信号 $/P$ (「L」レベル) は、ノイズの影響の受けやすい所定期間必要に応じて図示しないコントロー

ル回路により入力される構成とすることができる。もしくは、ある一定周期で外部から入力される構成とすることもできる。

【0219】

(実施の形態8の変形例1)

図27は、本実施の形態8の変形例1に従うドライバ回路600bの概略構成図である。

【0220】

図27を参照して、本実施の形態8の変形例1に従うドライバ回路600bは、図16のドライバ回路600と比較して、タイミング回路10をタイミング回路10bに置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【0221】

タイミング回路10bは、タイミング回路10と比較して、インバータ3をNOR回路4に置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。NOR回路4は、出力ノードNbと、制御信号/Pの反転信号である制御信号Pとの入力を受けて、そのNOR論理演算結果をトランジスタ2のゲートに出力する。インバータINV3およびタイミング回路10bは、ノードN0およびN1の電圧レベルを制御する制御回路CT6b#を構成する。また、NOR回路4は、ノイズ調整回路を構成する。

【0222】

本実施の形態8の変形例1に従うドライバ回路600bは、スタンバイ時において、制御信号P(1V)の信号の入力を受ける。その他の場合においては、制御信号P(0V)の入力を受ける。この場合、NOR回路4はインバータ3と同様に動作し、本実施の形態8の変形例1に従うドライバ回路600bの動作は、実施の形態6のドライバ回路600で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0223】

ここで、スタンバイ時において、制御信号P(1V)の入力に伴い、NOR回路4の出力信号は1Vに設定される。これに伴い、トランジスタ2がオンする。

スタンバイ時においては、入力信号 I_N が 0 V であるため、トランジスタ 1 および 2 がオンする。したがって、電源電圧 V_{DD} とノード N_0 とが電氣的に結合され、ノード N_0 が 1 V に設定される。ゆえに、電流駆動能力の高いトランジスタ N_{T1} がオンする。

【0 2 2 4】

したがって、上記の実施の形態 8 のドライバ回路 6 0 0 a で説明したのと同様の動作を実行する。すなわち、本実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b の構成においても、スタンバイ時において外部から受けるノイズにより出力信号 O_{UT} の受ける影響を抑制することができる。

【0 2 2 5】

なお、本実施の形態 8 およびその変形例 1 で説明した構成は、実施の形態 6 の変形例で説明したドライバ回路についても同様に適用可能である。

【0 2 2 6】

(実施の形態 8 の変形例 2)

本実施の形態 8 の変形例 2 は、ノイズの影響を受けやすい場合、具体的には、複数のドライバ回路が隣接して配置される構成において、ノイズの影響を抑制する構成について説明する。

【0 2 2 7】

図 2 8 は、隣接して配置されるドライバ回路 DV_1 および DV_2 の概略構成図である。

【0 2 2 8】

ドライバ回路 DV_1 は、入力信号 I_{N1} に応答して出力信号 O_{UT1} を設定する。ドライバ回路 DV_2 は、入力信号 I_{N2} に応答して出力信号 O_{UT2} を設定する。また、インバータ IV_1 は、入力信号 I_{N2} を反転した制御信号 $/P$ としてドライバ回路 DV_1 に入力する。インバータ IV_2 は、入力信号 I_{N1} を反転して制御信号 $/P$ としてドライバ回路 DV_2 に入力する。なお、図 2 8 で示されるキャパシタ C_p はドライバ回路 DV_1 、 DV_2 の出力信号 O_{UT1} および O_{UT2} がそれぞれ伝達される信号線間に生じるカップリング容量である。

【0 2 2 9】

ドライバ回路 D V 1 および D V 2 は各々、一例として実施の形態 8 で説明したドライバ回路 6 0 0 a に相当する。

【 0 2 3 0 】

ここで、図 2 9 のタイミングチャート図を用いてドライバ回路 D V 1 が動作する場合について説明する。なお、ドライバ回路 D V 2 はスタンバイ時であるものとする。

【 0 2 3 1 】

時刻 T T 3 において、入力信号 I N 1 が 1 V に設定されると、上述したのと同様にドライバ回路 D V 1 が動作して、出力信号 O U T 1 を 1 V に設定する。

【 0 2 3 2 】

なお、隣接するドライバ回路 D V 2 の入力信号 I N 1 は 0 V に設定されているためその出力信号 O U T 2 は 0 V である。

【 0 2 3 3 】

時刻 T T 3 # において、出力信号 O U T 2 を伝達する信号線は、出力信号 O U T 1 が 1 V に設定されるに伴い、そのカップリング容量により 0 V から浮き上がるノイズが生じる。

【 0 2 3 4 】

ここで、ドライバ回路 D V 2 の制御信号 / P は、入力信号 I N 1 (1 V) の設定に伴い 0 V に設定されている。したがって、実施の形態 8 で説明したのと同様に制御信号 / P (0 V) の設定に伴い、電流駆動能力の高いトランジスタ N T 1 がオンする。これに伴い、出力信号 O U T 2 に生じるノイズが解消される。

【 0 2 3 5 】

一方、時刻 T T 4 において、ドライバ回路 D V 1 に入力される入力信号 I N 1 が 0 V に設定される。

【 0 2 3 6 】

次に、時刻 T T 4 # において、ドライバ回路 D V 1 の出力信号 O U T 1 は 0 V に設定される。

【 0 2 3 7 】

なお、時刻 T T 4 # において、出力信号 O U T 2 を伝達する信号線は、出力信

号OUT 1 が 0 V に設定されるに伴い、そのカップリング容量により 0 V から少し沈む雑音が発生する。この場合、出力信号OUT 1 および出力信号OUT 2 を伝達する信号線はともに 0 V であるため雑音レベルは軽微であり、電流駆動能力の低いトランジスタNT 4 のオンにより十分に雑音を解消できる。

【 0 2 3 8 】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態 8 の変形例 2 に従う構成により十分にノイズの影響を抑制することができる。

【 0 2 3 9 】

図 3 0 は、別の隣接して配置されるドライバ回路DV 1 # およびDV 2 # の概略構成図である。具体的には、ドライバ回路DV 1 # およびDV 2 # は、一例として実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b に相当する。

【 0 2 4 0 】

ドライバ回路DV 1 # は、入力信号IN 1 に応答して出力信号OUT 1 を設定する。ドライバ回路DV 2 # は、入力信号IN 2 に応答して出力信号OUT 2 を設定する。また、入力信号IN 2 は、制御信号Pとしてドライバ回路DV 1 # に入力される。入力信号IN 1 は、制御信号Pとしてドライバ回路DV 2 # に入力される。なお、図 3 0 で示されるキャパシタC p はドライバ回路DV 1 #、DV 2 # の出力信号OUT 1 およびOUT 2 がそれぞれ伝達される信号線間に生じるカップリング容量である。

【 0 2 4 1 】

動作については、上記の図 2 9 のタイミングチャートで説明したのと同様である。具体的には、一方のドライバ回路の入力信号IN 1 (IN 2) が 1 V に設定されるに伴い、他方のドライバ回路の出力信号OUT 2 (OUT 1) にノイズが生じる場合がある。この場合、一方のドライバ回路の入力信号IN 1 (IN 2) が 1 V に設定されるに伴い、他方のドライバ回路に制御信号P (1 V) が入力される。

【 0 2 4 2 】

これに伴い、実施の形態 8 の変形例 1 のドライバ回路 6 0 0 b に制御信号Pが

入力された場合と同様の動作を実行し、生じるノイズを解消する。

【0 2 4 3】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態 8 の変形例 2 に従う図 3 0 の構成においても十分にノイズの影響を抑制することができる。

【0 2 4 4】

なお、本実施の形態 8 の変形例 2 においては、ドライバ回路 6 0 0 a および 6 0 0 b を用いてノイズの影響を抑制する構成について説明してきたが、本実施の形態 8 およびその変形例 1 で説明した構成を実施の形態 6 の変形例で説明したドライバ回路について適用した構成についても同様に適用可能である。

【0 2 4 5】

なお、上記の実施の形態のドライバ回路においてはゲート酸化膜を薄膜化することにより、ゲートリーク電流が増大することについて説明した。一方、トランジスタ N T 1 のように動作速度が要求されるトランジスタについてはゲート酸化膜を薄膜化する必要があるが、それ以外の高速性が要求されないトランジスタについては薄膜化する必要はない。したがってトランジスタ N T 1 および P T 1 のみ薄膜化し、それ以外のトランジスタについてはゲート酸化膜を通常の膜厚とすることにより全体としてトランジスタのゲートリーク電流を低減することが可能である。具体的には、トランジスタ N T 1 および P T 1 については薄膜化する工程を他のトランジスタと分離することにより製造が可能となる。

【0 2 4 6】

また、比誘電率の高いいわゆる高誘電体のゲート酸化膜を用いることにより、二酸化ケイ素で構成されたゲート酸化膜の場合に比べて電界強度を上げることができる。すなわち、高誘電体のゲート酸化膜を用いることにより高速のトランジスタを実現することが可能となる。

【0 2 4 7】

したがって、ゲート酸化膜厚を薄膜化した場合において、ゲート電圧を一時的に高くしない場合であっても、性能の同じ高速なトランジスタを実現することが可能となる。すなわち、このような高誘電体のゲート酸化膜をたとえばトランジ

スタNT1およびPT1に用いることにより、結果としてゲートリーク電流を低減することが可能となる。

【0248】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0249】

【発明の効果】

以上説明したように本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路とを含む。また、制御回路は、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルに設定する電圧調整回路を含む。この電圧調整回路により、接続されるトランジスタのゲート電圧を調整することができ、トランジスタに与えられるゲート電圧により生じるゲートリーク電流を低減することができる。

【0250】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第2のトランジスタと並列に出力ノードと第2の電圧との間に配置された第3のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路を設ける。制御回路は、第2および第3のトランジスタのターンオン時において、第1のトランジスタをターンオフするための第1および第2の電圧の一方を所定期間第2の内部ノードに供給する。また、第2のトランジスタは、第3のトランジスタよりも第2の電圧を供給する駆動力が大きい。この構成にしたがい、所定期間駆動力が大きな第2のトランジスタを用いて第2の電圧を出力ノードに供給する。これに伴い、駆動力が大きな第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第2のトランジスタを動作させるためリーク電流を低減することができる。

【0251】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第3の内部ノードの電圧レベルに応じて相補的にオンする第3および第4のトランジスタと、第1、第2および第3の内部ノードの電圧を制御する制御回路を設ける。制御回路は、入力信号に応答して第3の内部ノードを第1および第2の電圧の一方に設定し、第3の内部ノードを第1および第2の内部ノードのいずれかと所定期間接続する接続回路を有する。また、第1および第2のトランジスタの駆動力は、第3および第4のトランジスタの駆動力よりも大きい。この構成にしたがい、所定期間駆動力が大きな第1および第2のトランジスタを用いて第1および第2の電圧をそれぞれ出力ノードに供給する。これに伴い、駆動力が大きな第1および第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第1および第2のトランジスタを動作させるためリーク電流を低減することができる。

【0252】

また、本発明の半導体装置は、制御回路において、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに供給する。これに伴い、スタンバイ時において、第1の内部ノードにトランジスタがターンオンする電圧が与えられ、ノイズが生じた場合においてもそのノイズを解消することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【図2】 本発明の実施の形態1に従うドライバ回路の動作について説明するタイミングチャート図である。

【図3】 トランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【図4】 本発明の実施の形態2に従うドライバ回路の構成図である。

【図 5】 本発明の実施の形態 2 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 6】 本発明の実施の形態 2 の変形例 1 に従う CMOS ドライバ回路の回路構成図である。

【図 7】 本発明の実施の形態 2 の変形例 2 に従う CMOS ドライバ回路の回路構成図である。

【図 8】 本発明の実施の形態 3 に従う CMOS ドライバ回路の回路構成図である。

【図 9】 本発明の実施の形態 3 の変形例 1 に従う CMOS ドライバ回路の回路構成図である。

【図 10】 本発明の実施の形態 4 に従う CMOS ドライバ回路の回路構成図である。

【図 11】 本発明の実施の形態 4 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 12】 本発明の実施の形態 5 に従うドライバ回路の回路構成図である。

【図 13】 本発明の実施の形態 5 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 14】 本発明の実施の形態 5 の変形例に従うドライバ回路の回路構成図である。

【図 15】 本発明の実施の形態 5 の変形例に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 16】 本発明の実施の形態 6 に従うドライバ回路の構成図である。

【図 17】 本発明の実施の形態 6 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 18】 本発明の実施の形態 6 の変形例 1 に従うドライバ回路の回路構成図である。

【図 19】 本発明の実施の形態 6 の変形例 2 に従うドライバ回路の回路構成図である。

【図 2 0】 本発明の実施の形態 6 の変形例 2 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 2 1】 本発明の実施の形態 6 の変形例 3 に従う 2 入力の O R 回路構成であるドライバ回路の回路構成図である。

【図 2 2】 本発明の実施の形態 6 の変形例 3 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 2 3】 本発明の実施の形態 7 に従う C M O S ドライバ回路の回路構成図である。

【図 2 4】 本発明の実施の形態 7 に従うドライバ回路の動作について説明するタイミングチャート図である。

【図 2 5】 本実施の形態 8 のドライバ回路の概略構成図である。

【図 2 6】 本発明の実施の形態 8 のドライバ回路の動作について説明するタイミングチャート図である。

【図 2 7】 本実施の形態 8 の変形例 1 に従うドライバ回路の概略構成図である。

【図 2 8】 隣接して配置されるドライバ回路の概略構成図である。

【図 2 9】 ドライバ回路が動作する場合のタイミングチャート図である。

【図 3 0】 別の隣接して配置されるドライバ回路の概略構成図である。

【図 3 1】 入力信号を伝播する従来の C M O S ドライバ回路の回路構成図である。

【図 3 2】 従来の C M O S ドライバ回路の動作について説明するタイミングチャート図である。

【図 3 3】 ゲート酸化膜の厚膜とトランジスタ 1 個当りのゲートリーク電流との関係を示す図である。

【符号の説明】

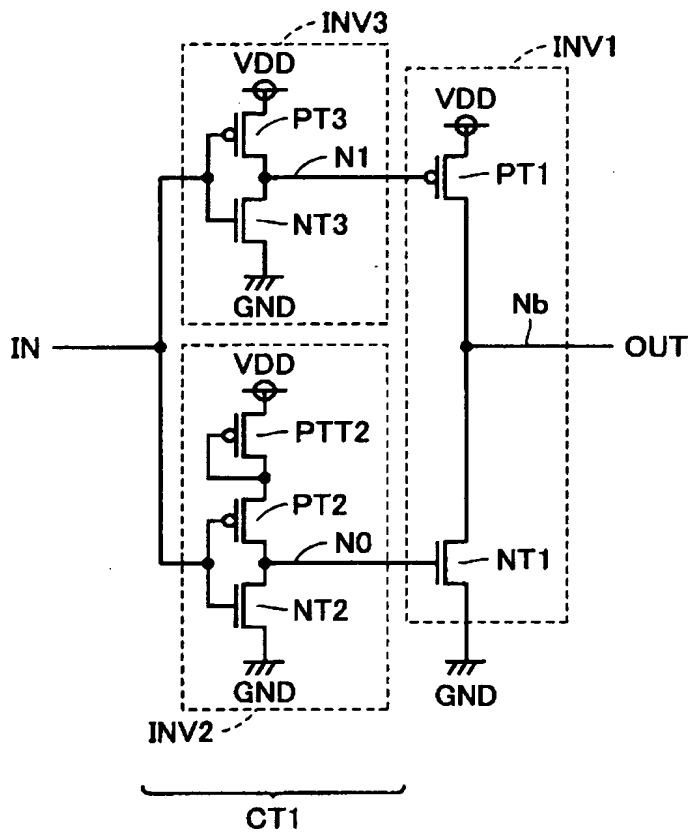
1 0, 2 0, 3 0, 4 0, 5 0, 6 0, 7 0, 8 0 タイミング回路、 C T 1, C T 2, C T 2 a, C T 2 b, C T 3, C T 3 #, C T 4, C T 5, C T 5 #, C T 6, C T 6 #, C T 6 a, C T 6 b, C T 6 a #, C T 6 b #, 9 0 制御回路、 1 0 0, 2 0 0, 2 1 0, 2 2 0, 3 0 0, 3 1 0, 4 0 0, 5 0 0,

5 1 0, 6 0 0, 6 0 0 a, 6 0 0 b, 6 1 0, 6 2 0, 6 3 0, 7 0 0, DV
1, DV 2, DV 1 #, DV 2 # ドライバ回路、INV 1, INV 2, INV
3, INV # 3, INV 4 インバータ。

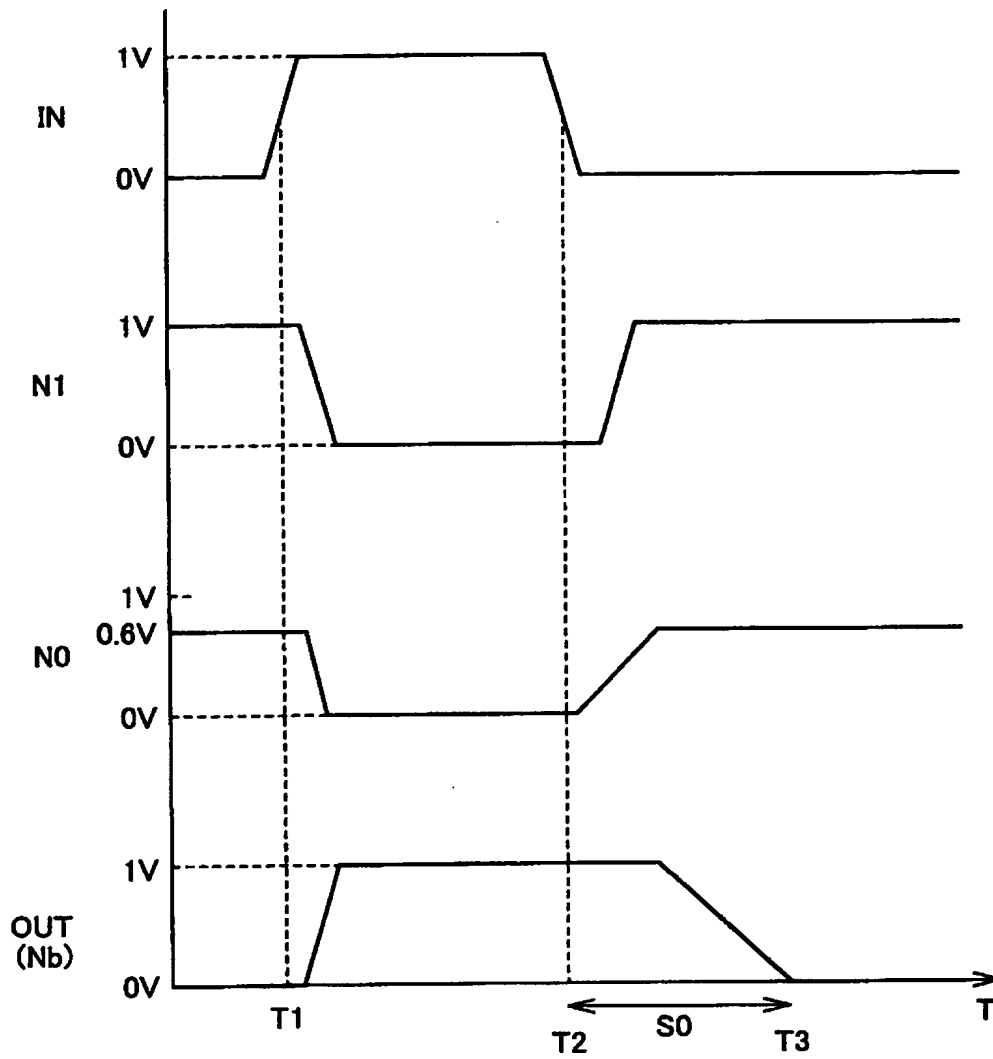
【書類名】 図面

【図 1】

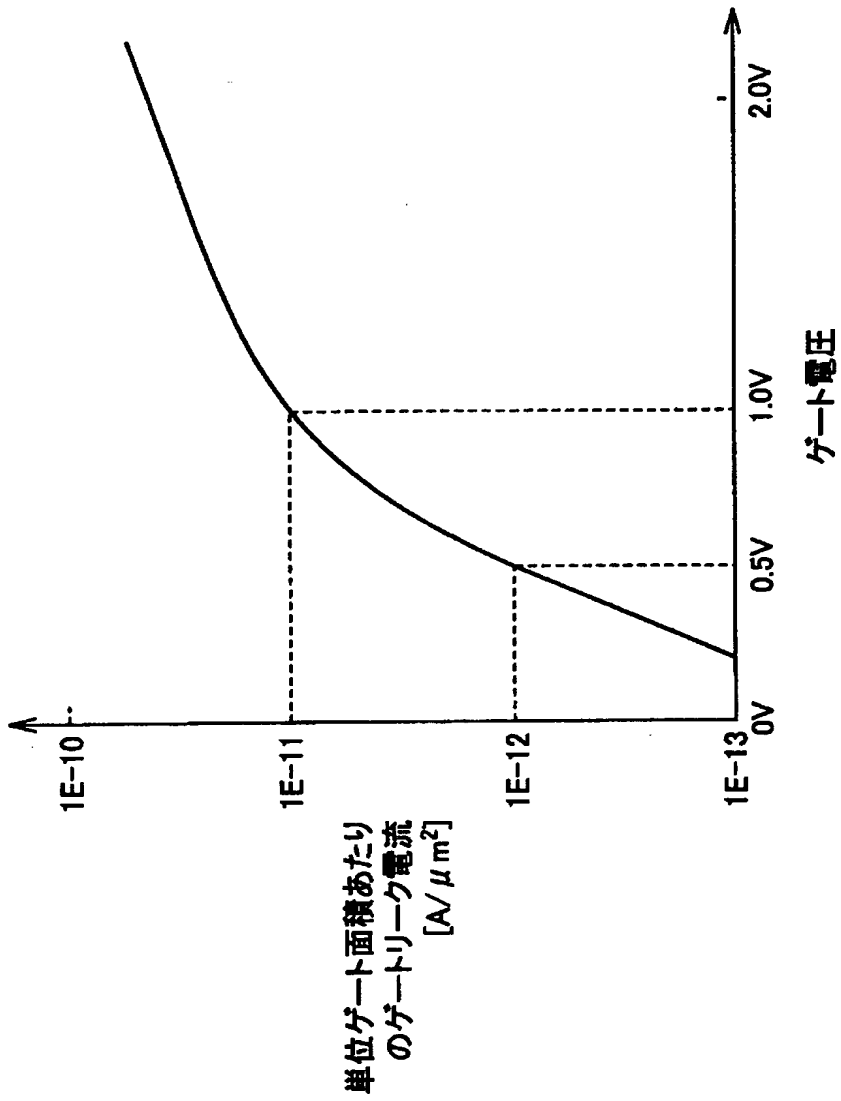
100



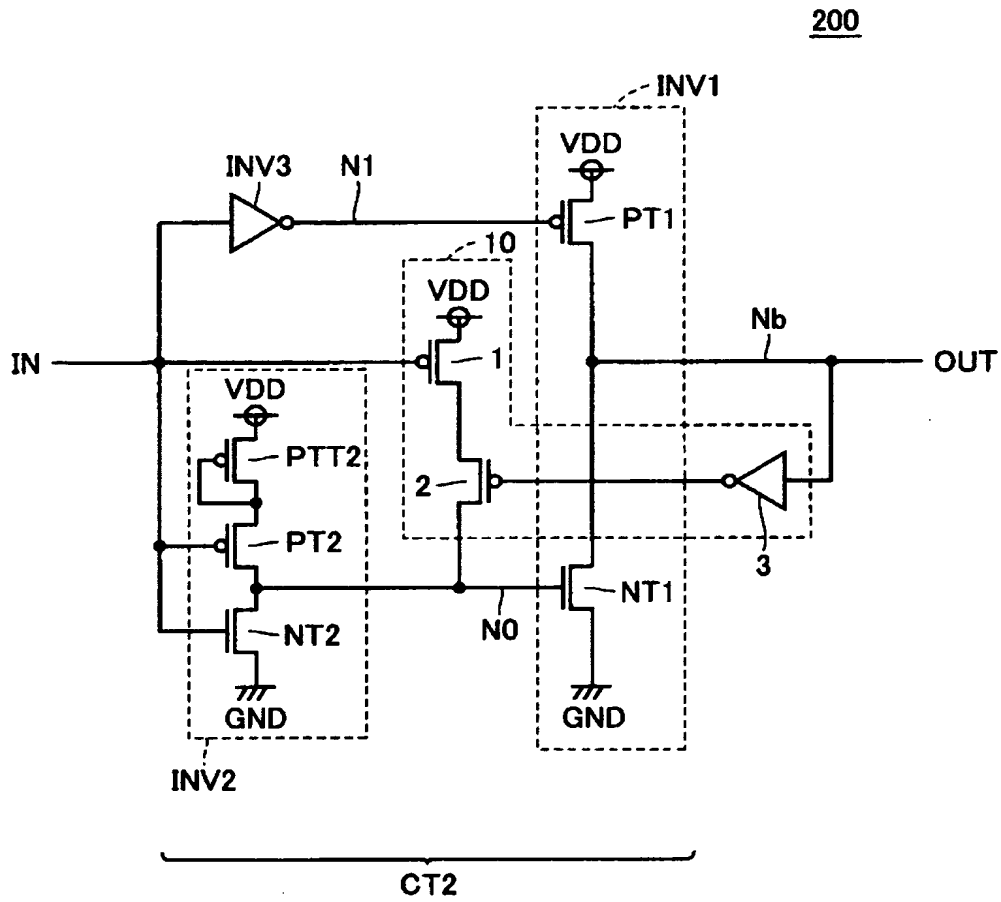
【図 2】



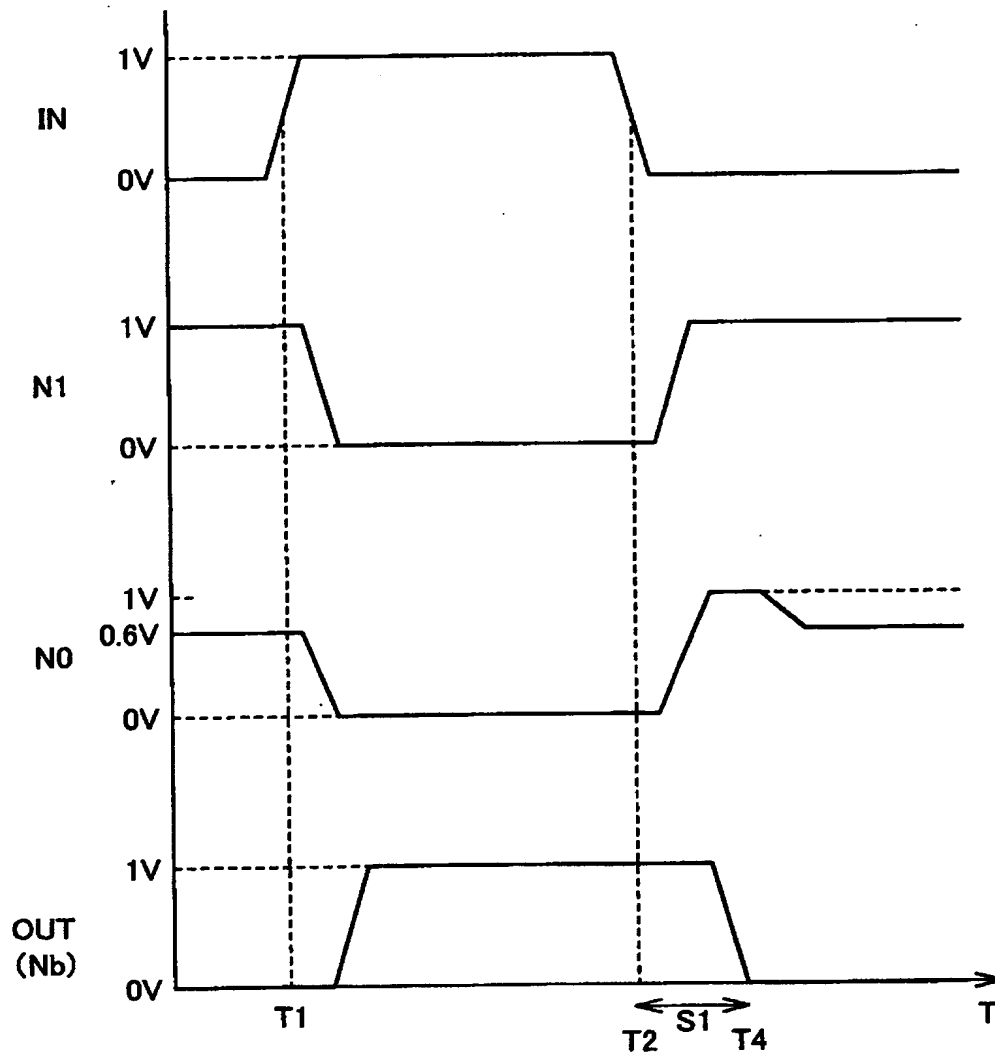
【図 3】



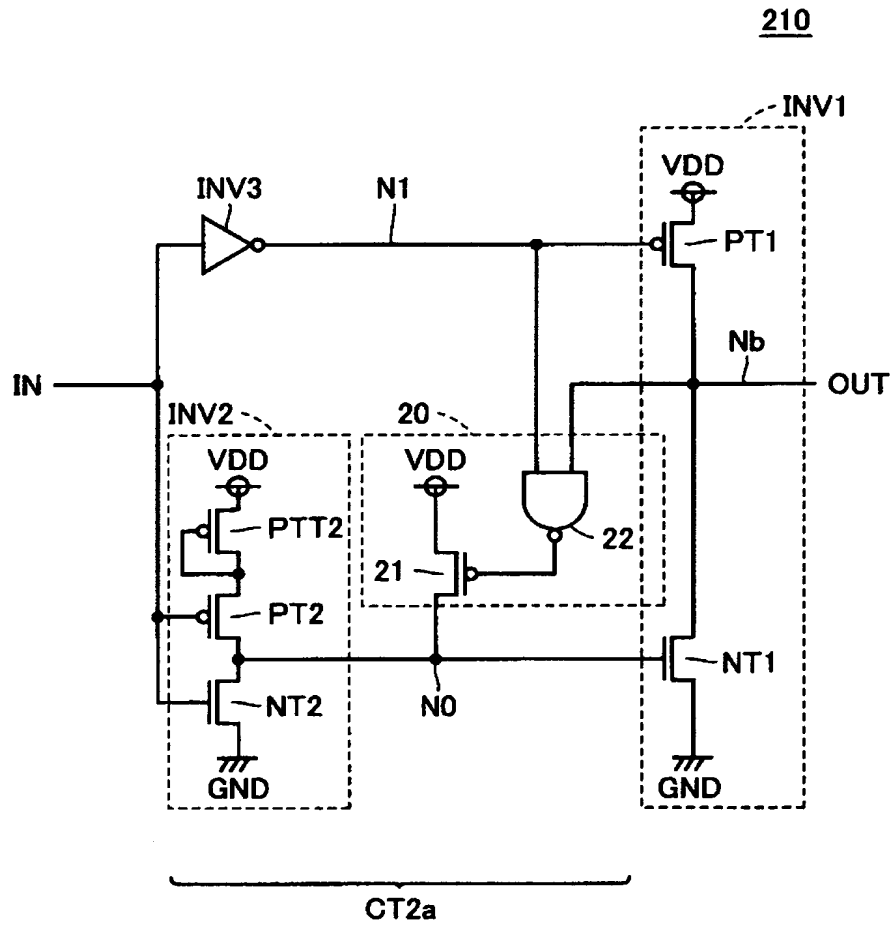
【図 4】



【図 5】

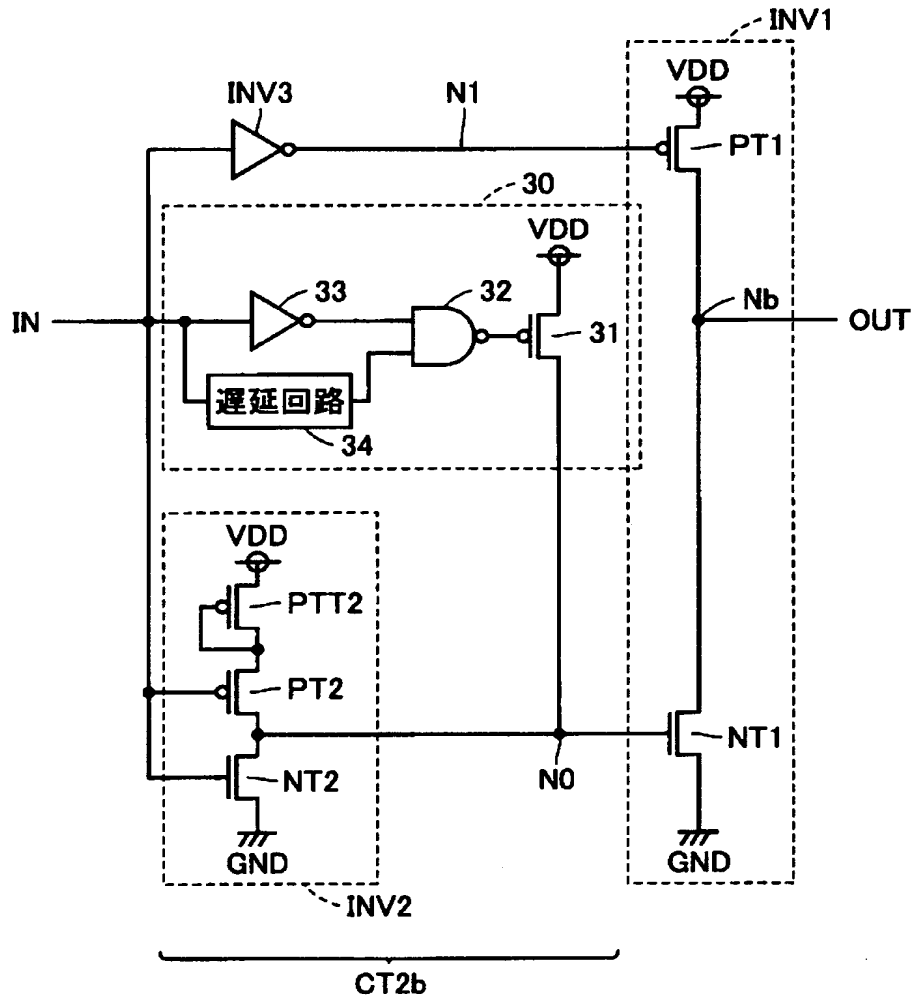


【図 6】

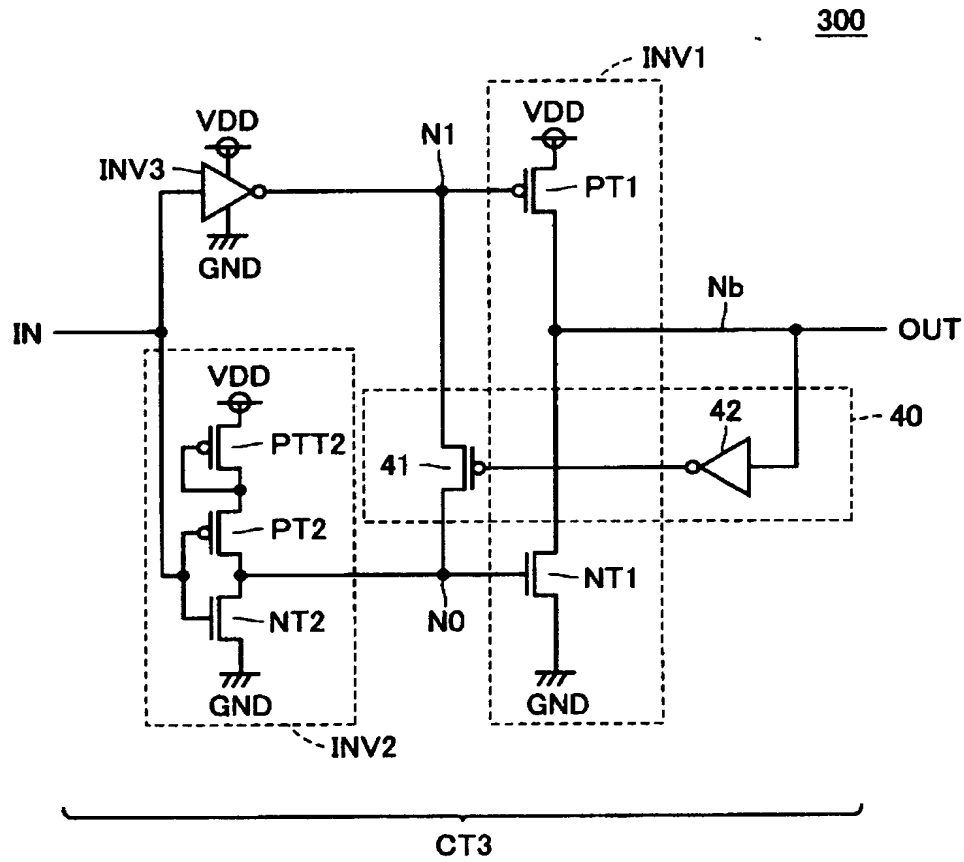


【图 7】

220

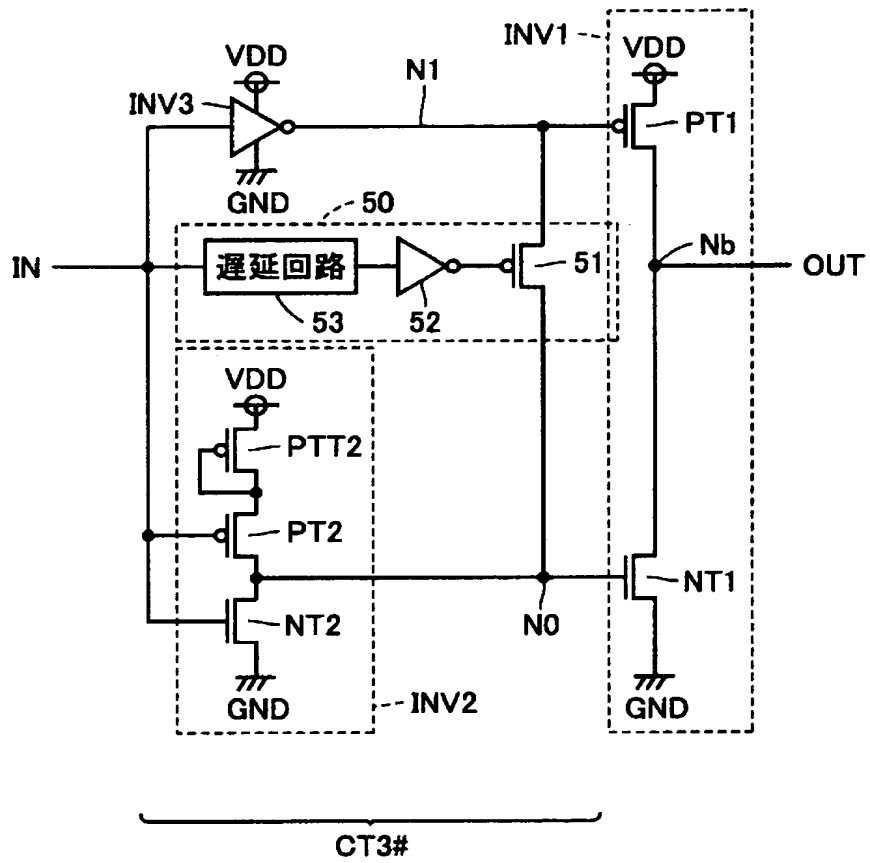


【図 8】

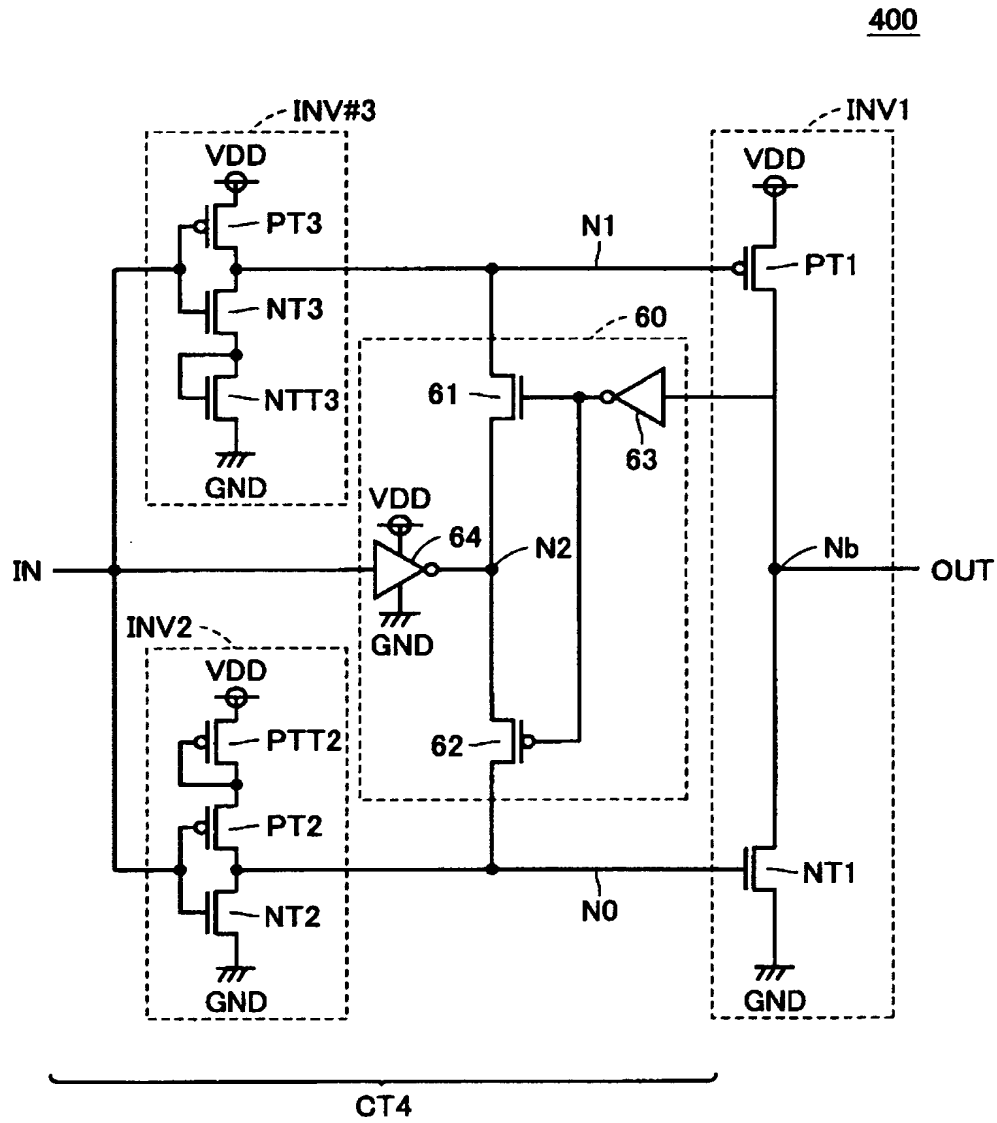


【図 9】

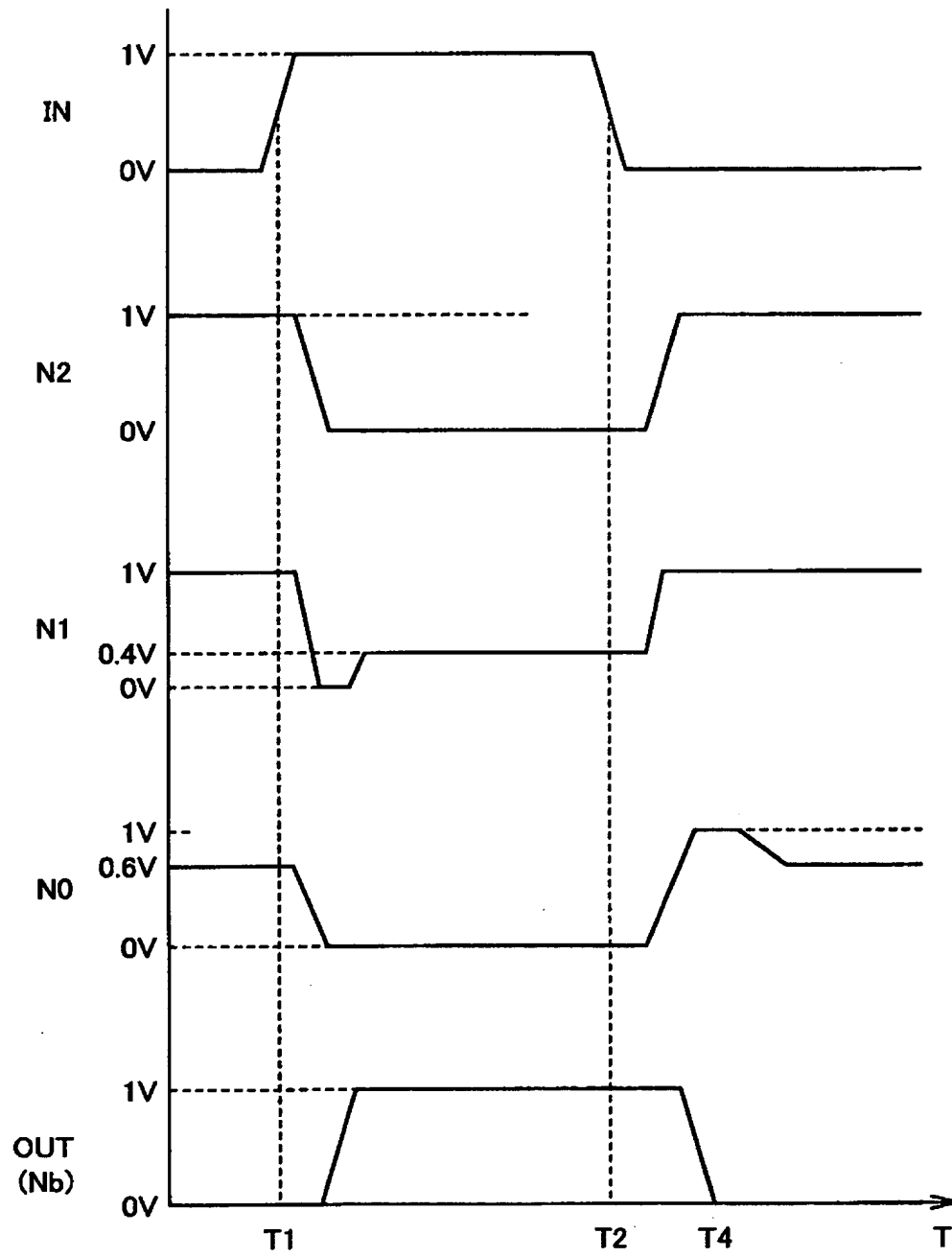
310



【図 10】

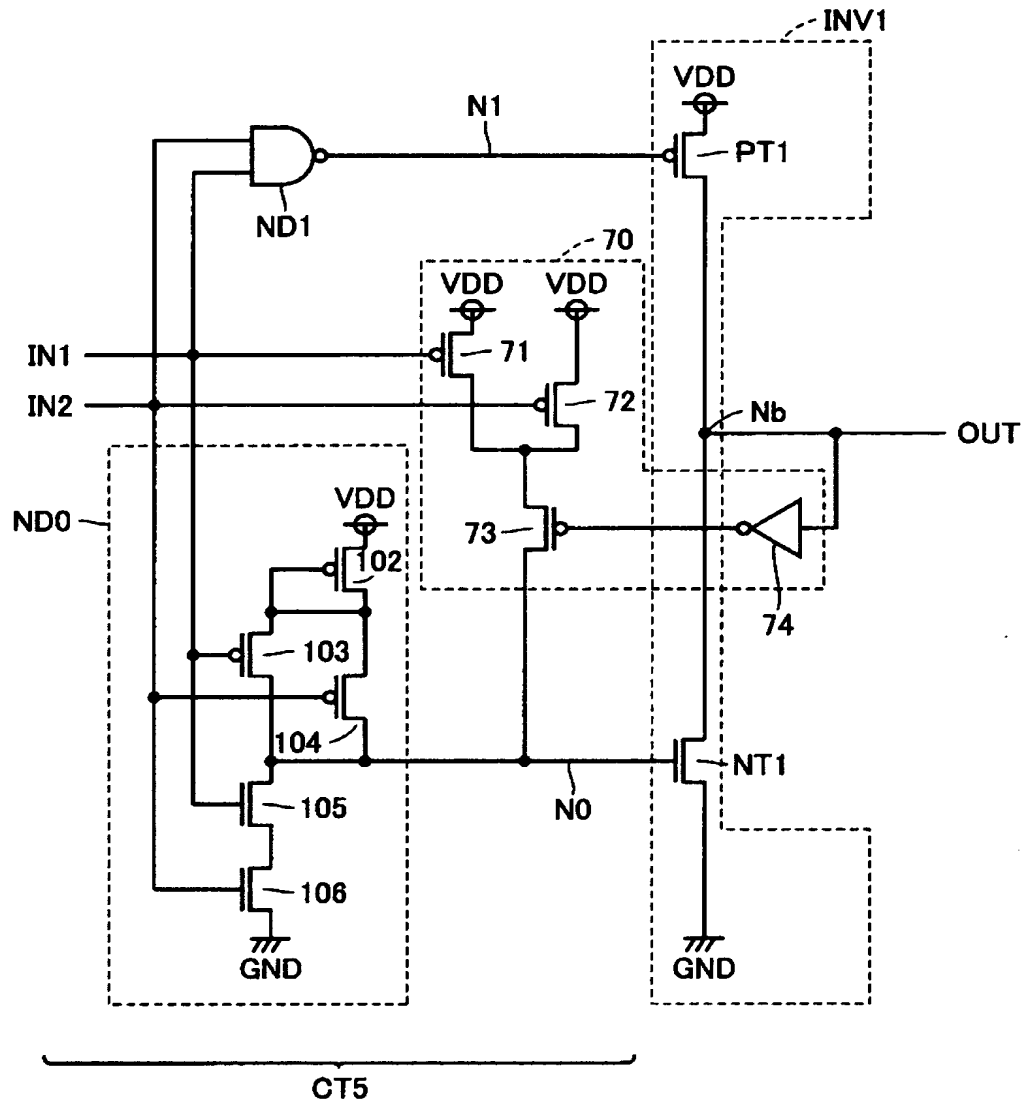


【図 11】

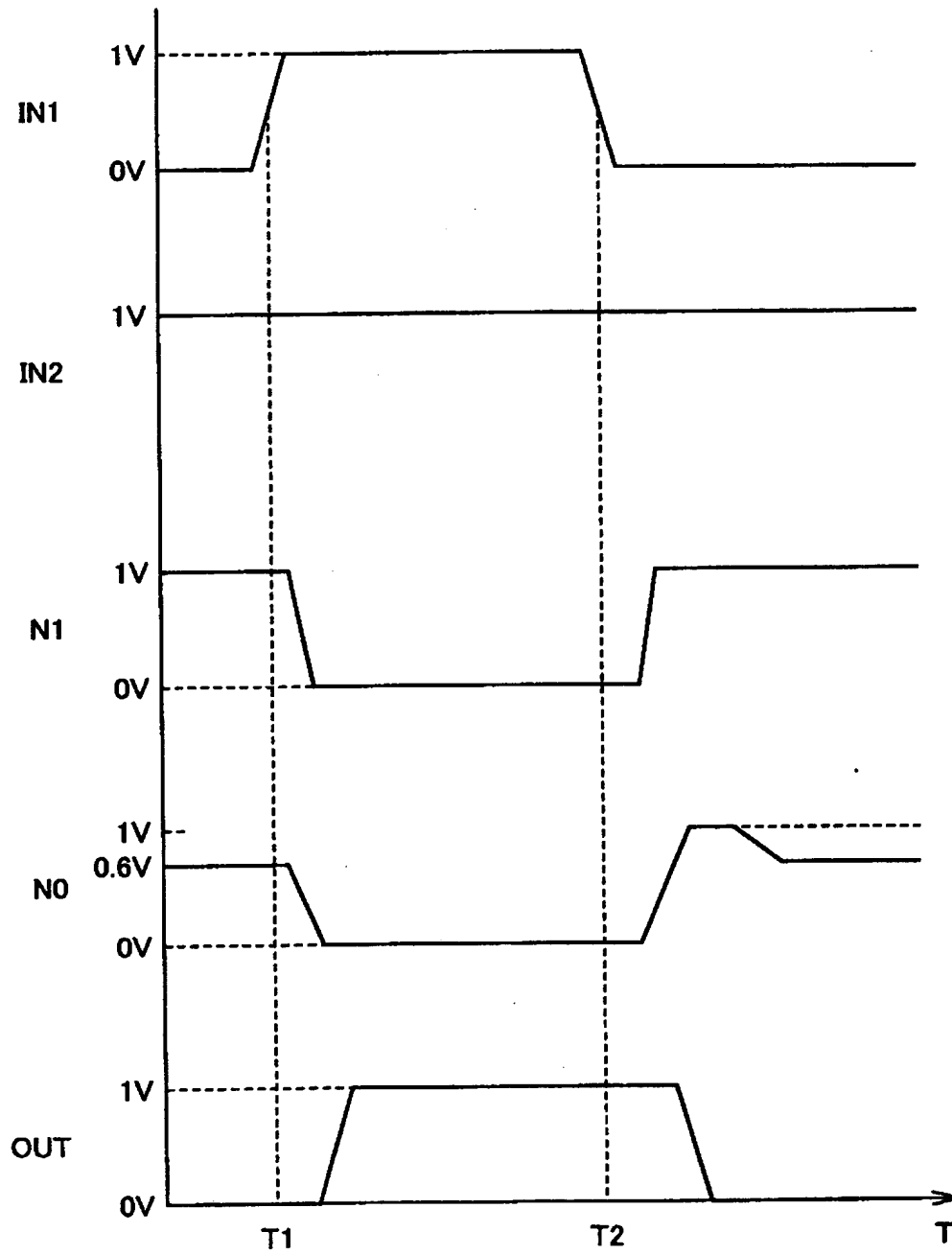


【図 12】

500

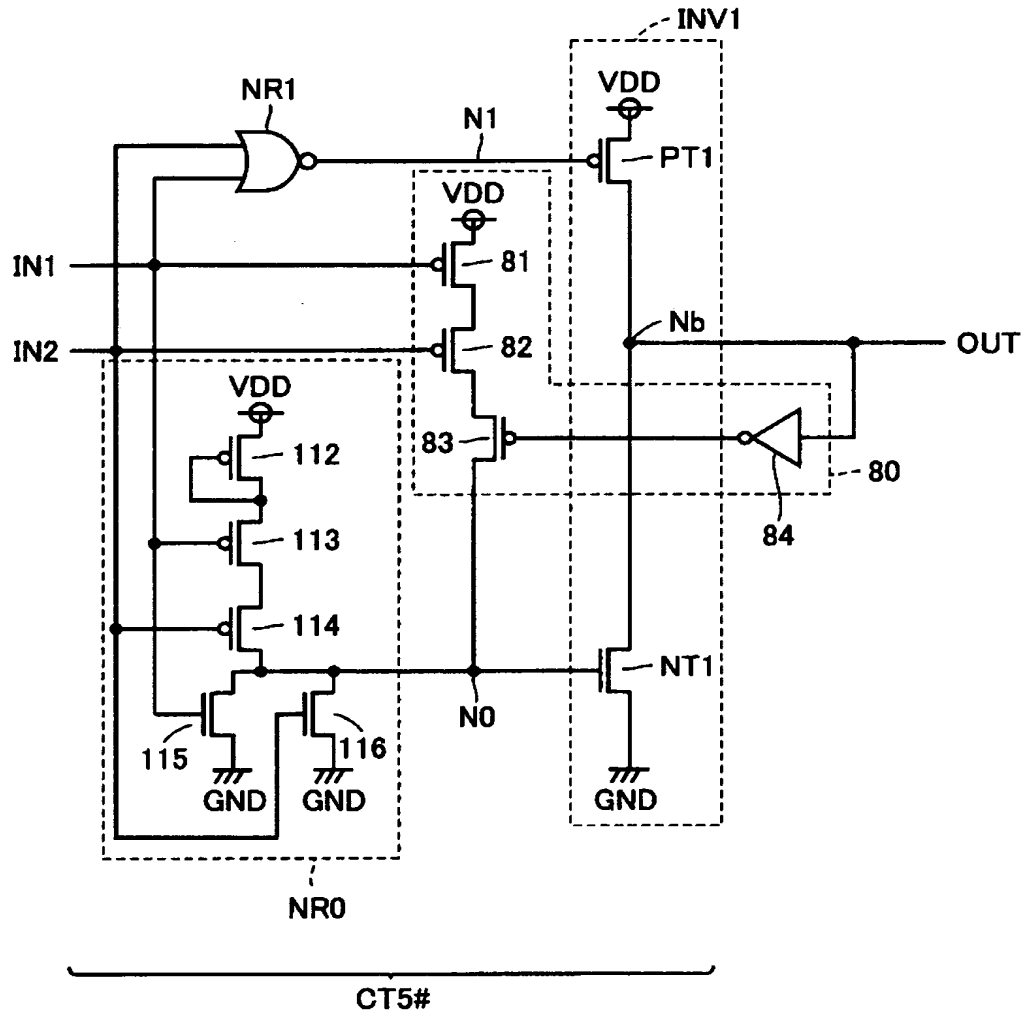


【図 13】

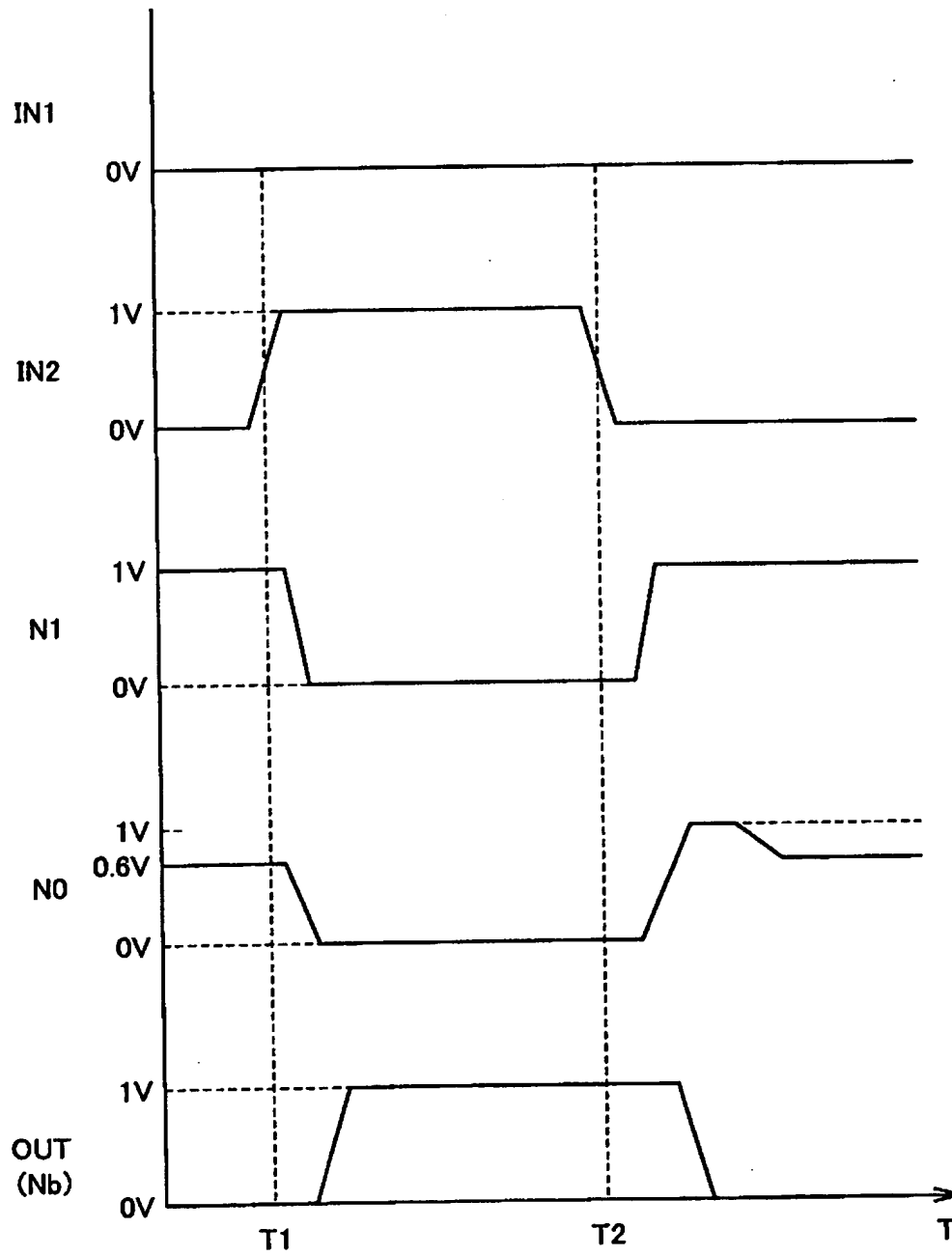


【図 1 4】

510

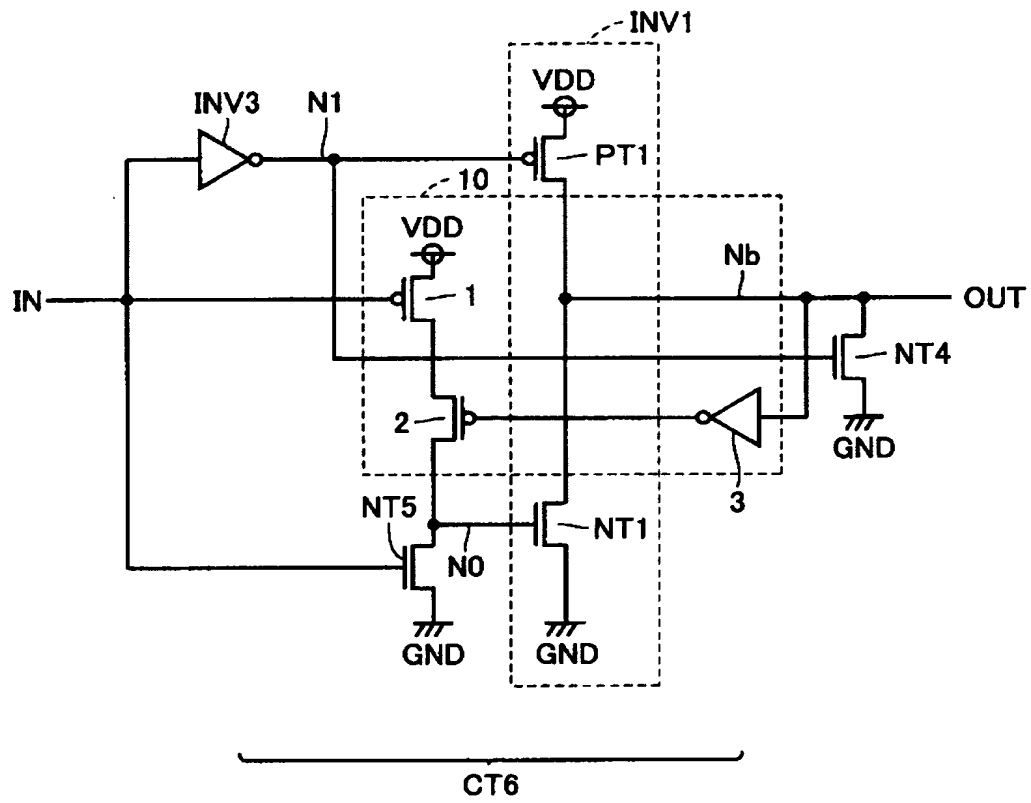


【図 15】

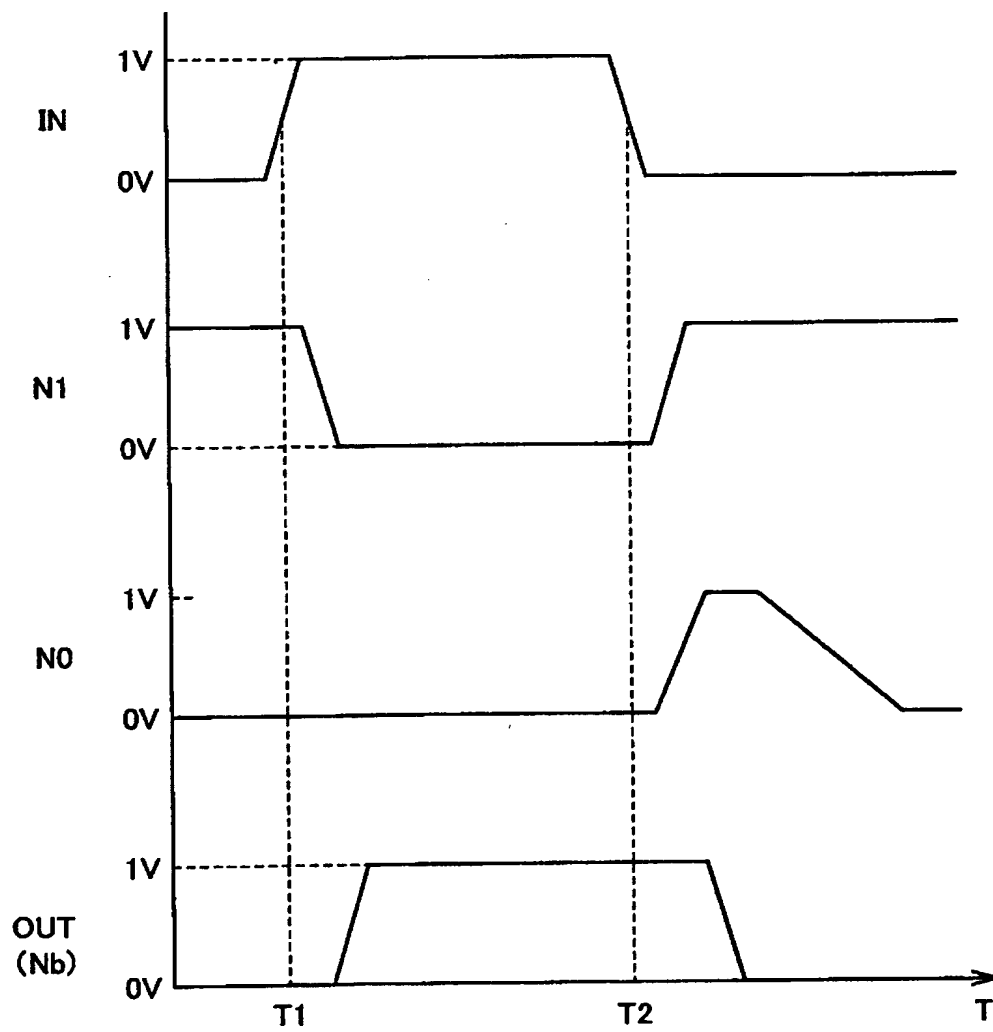


【図 16】

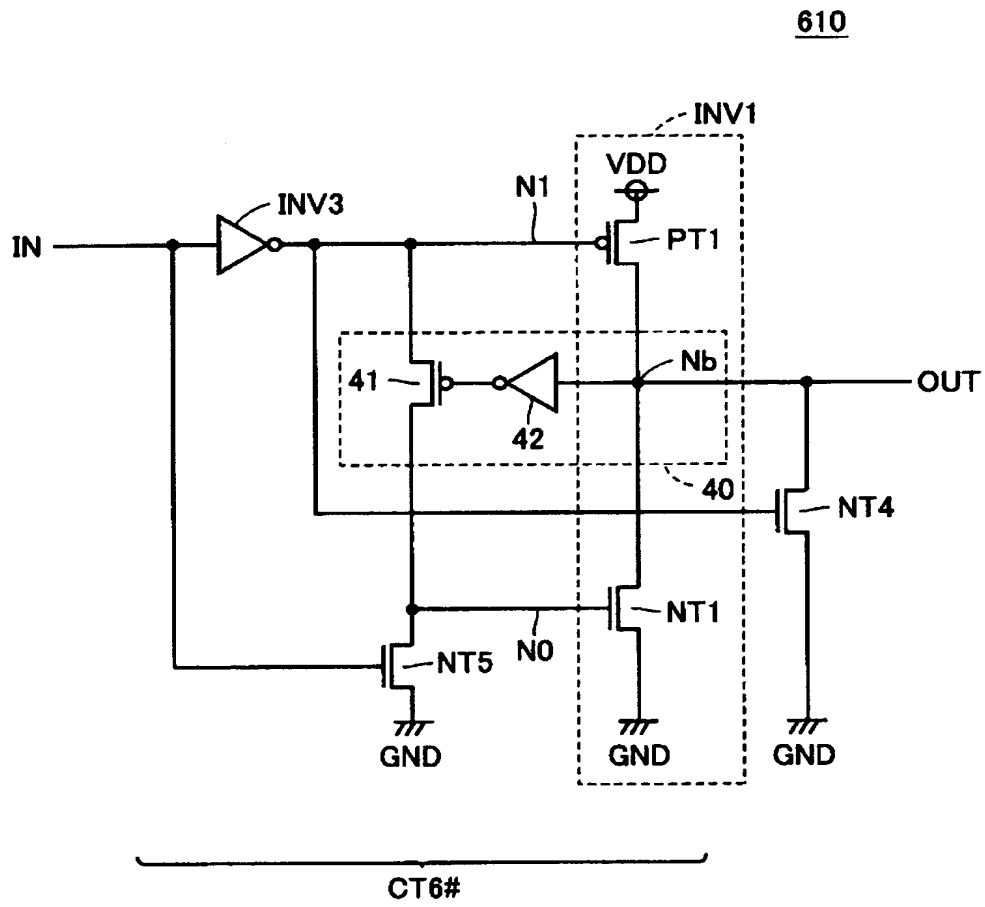
600



【図 17】

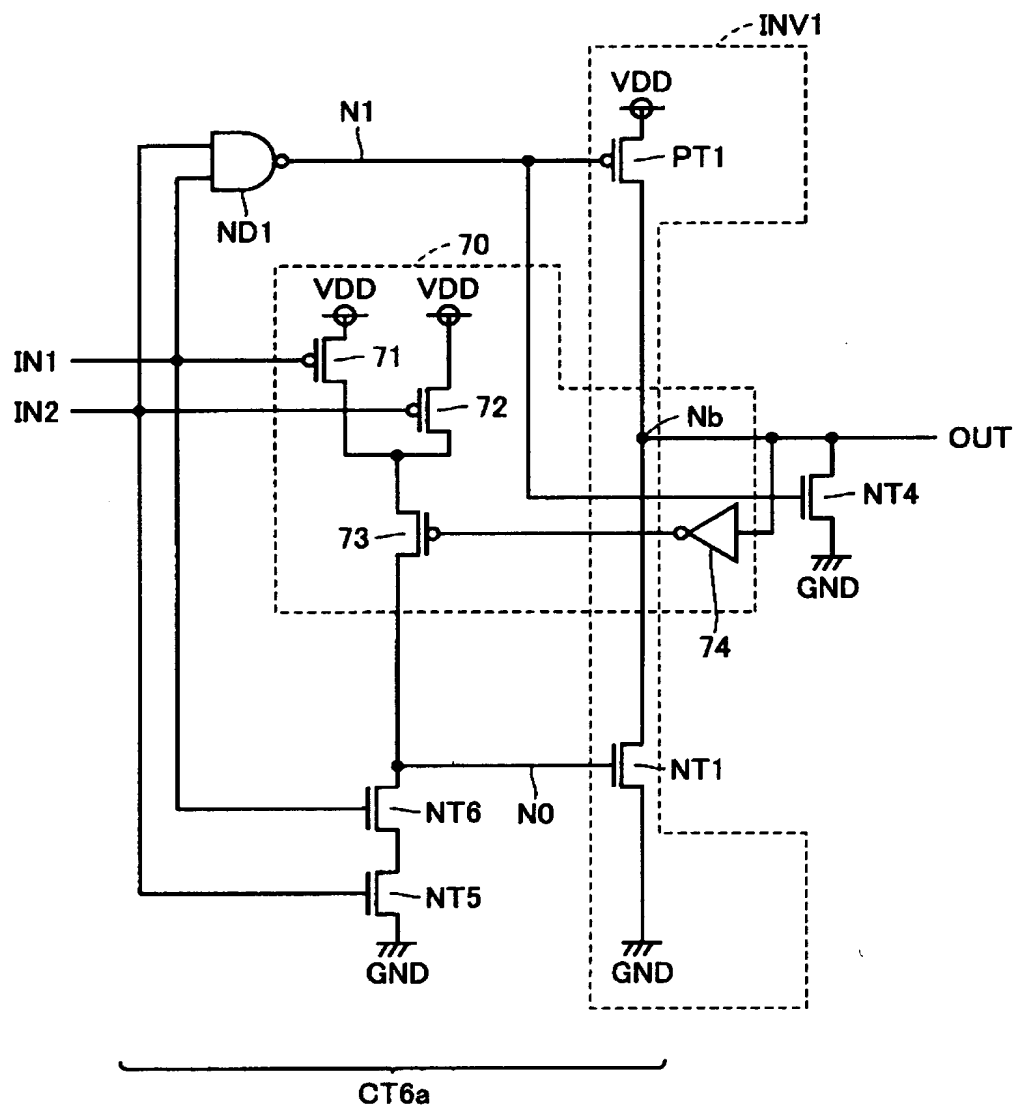


【図 18】

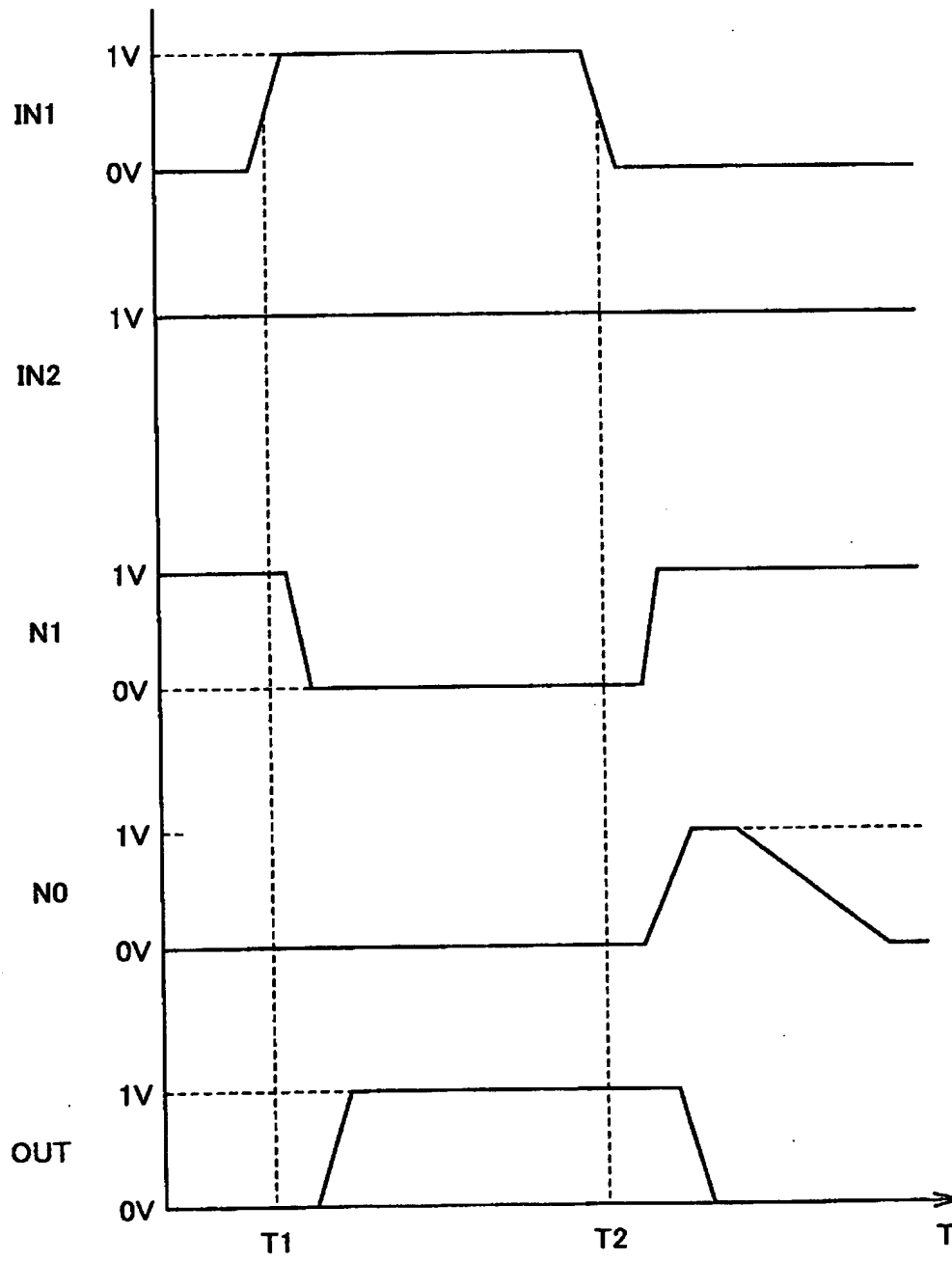


【図 19】

620

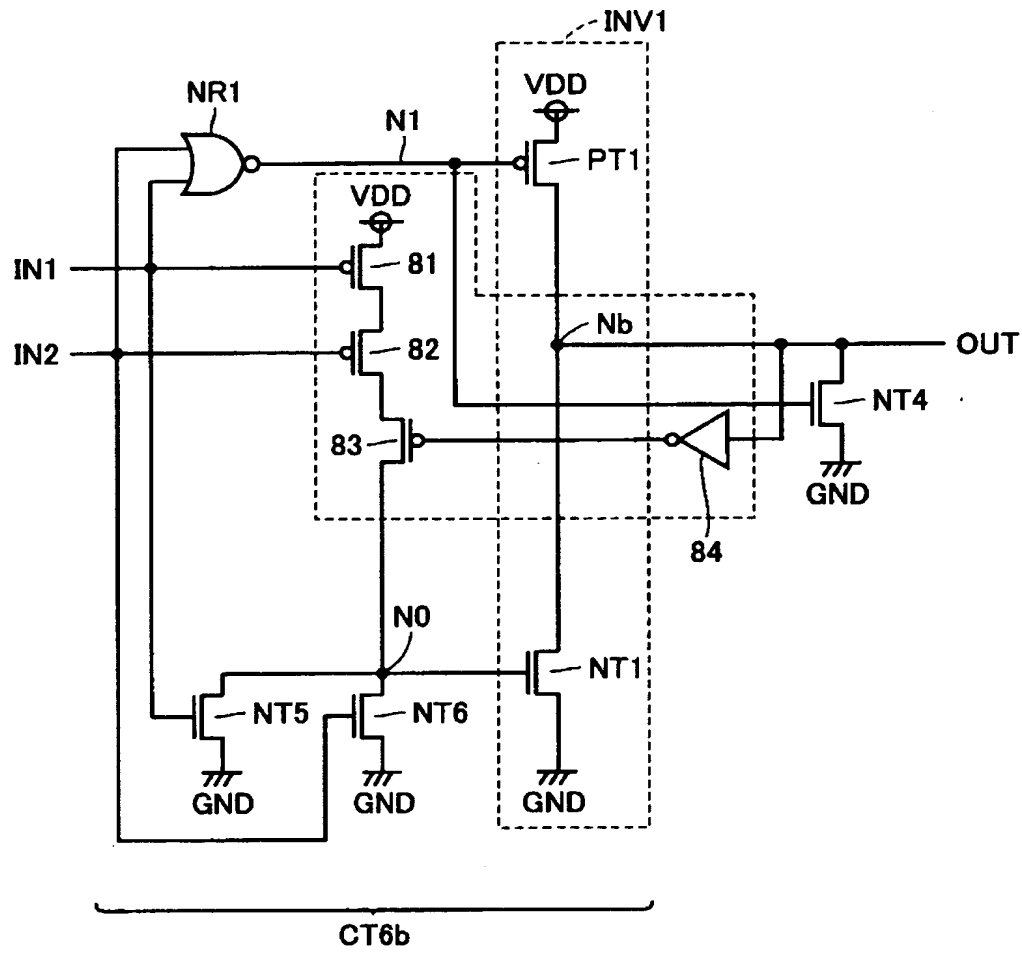


【図 20】

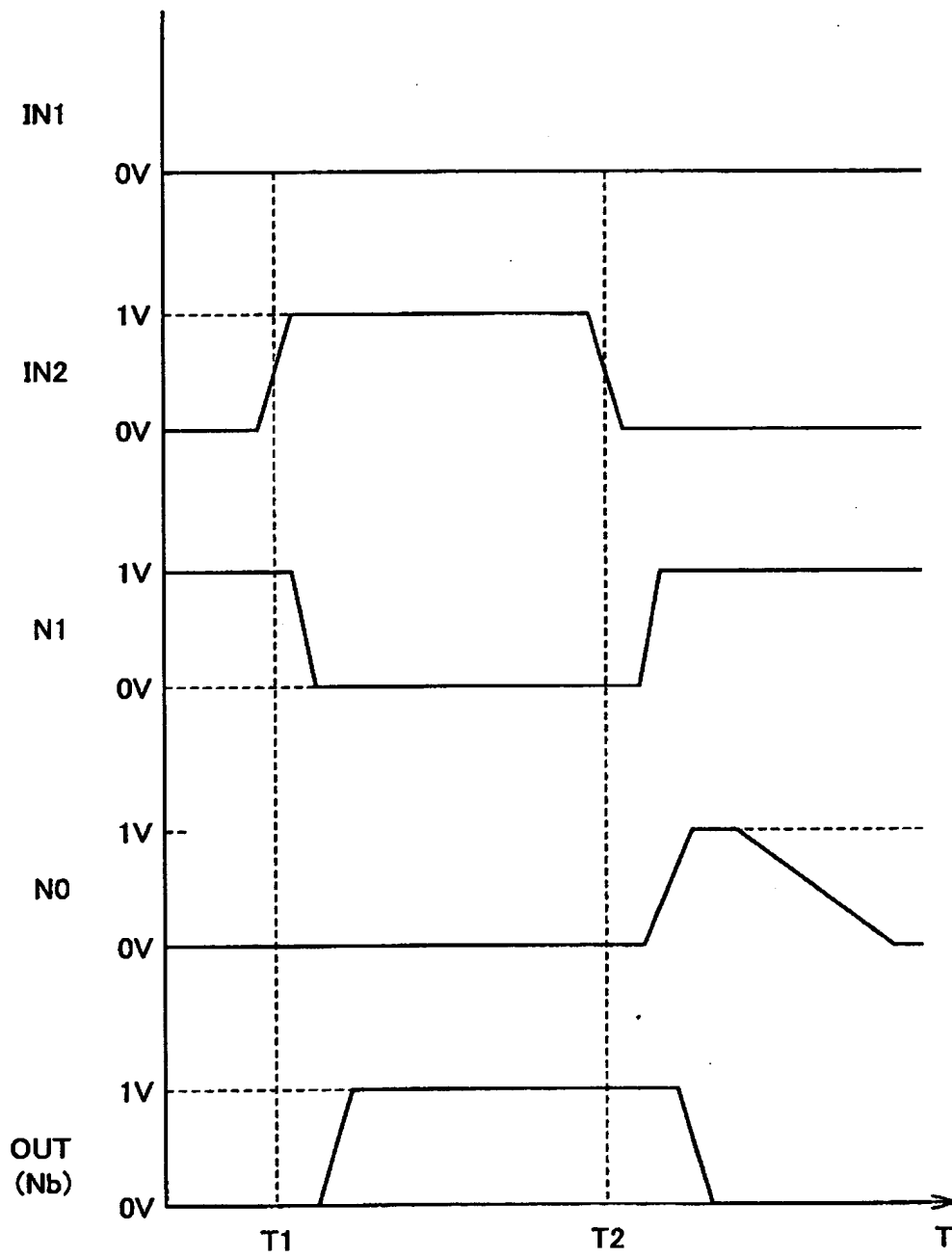


【図 21】

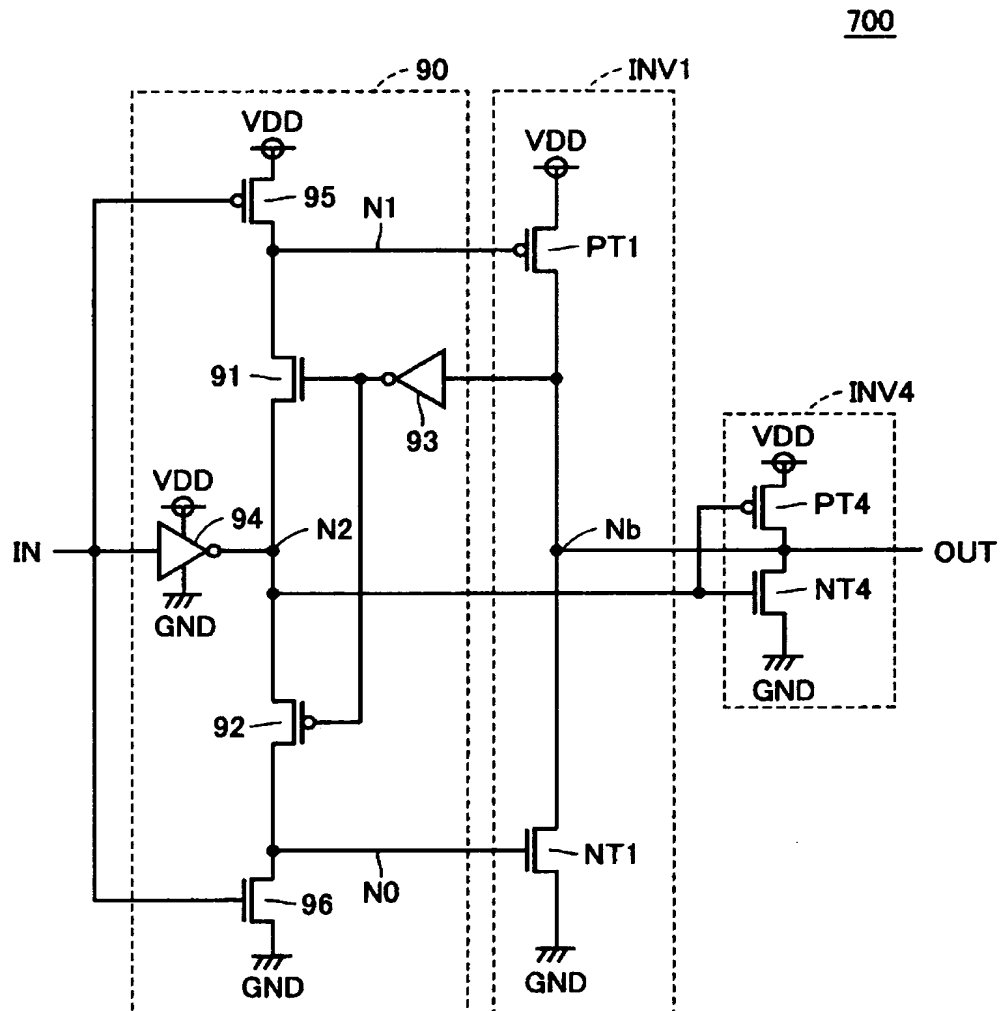
630



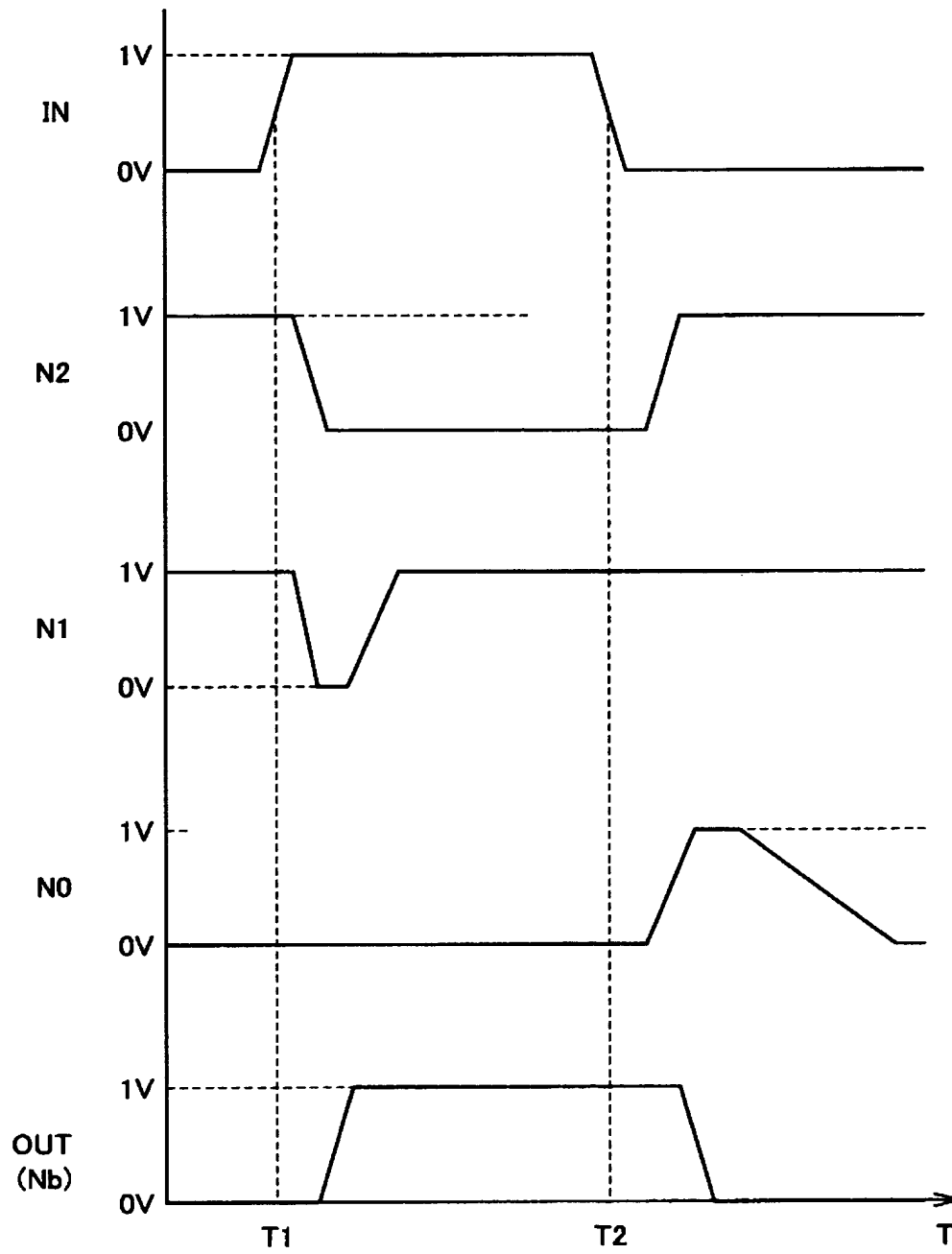
【図 2 2】



【図 23】

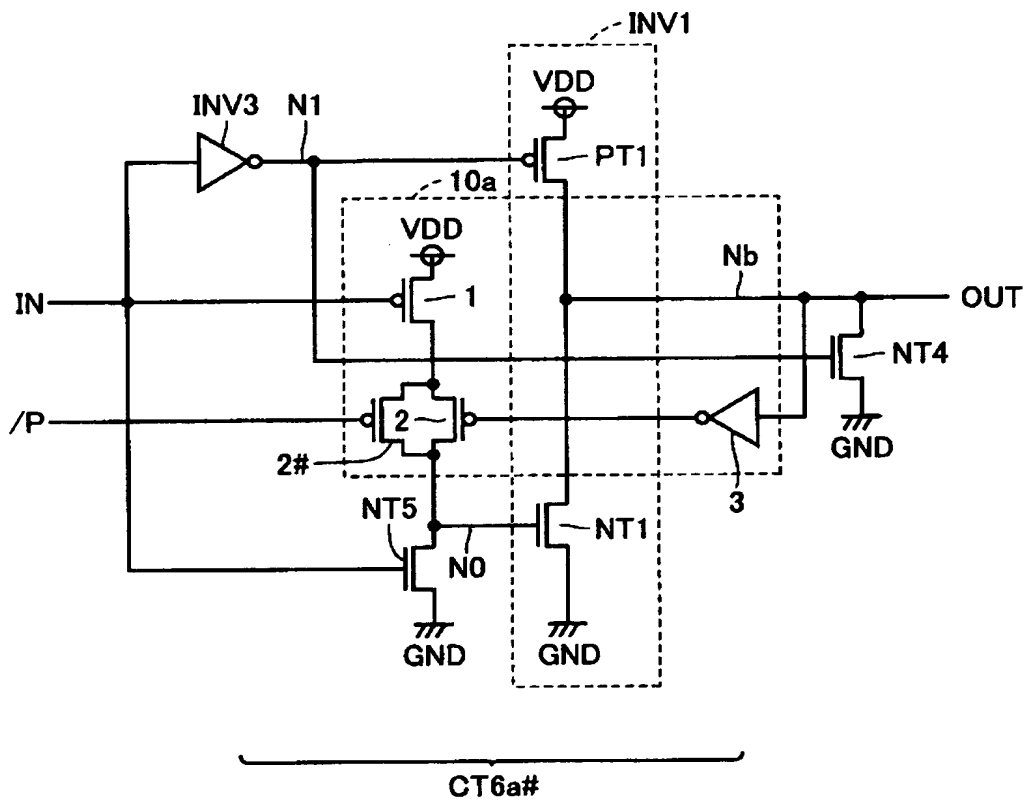


【図 24】

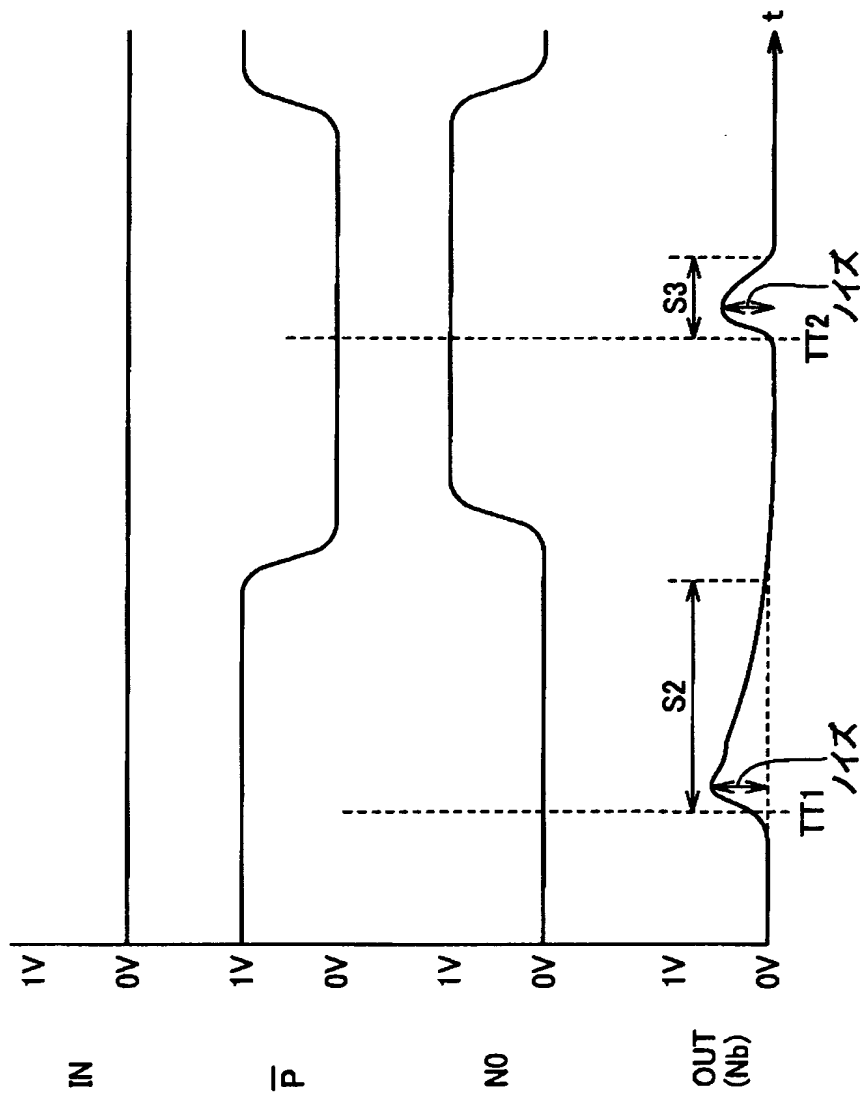


【図 25】

600a

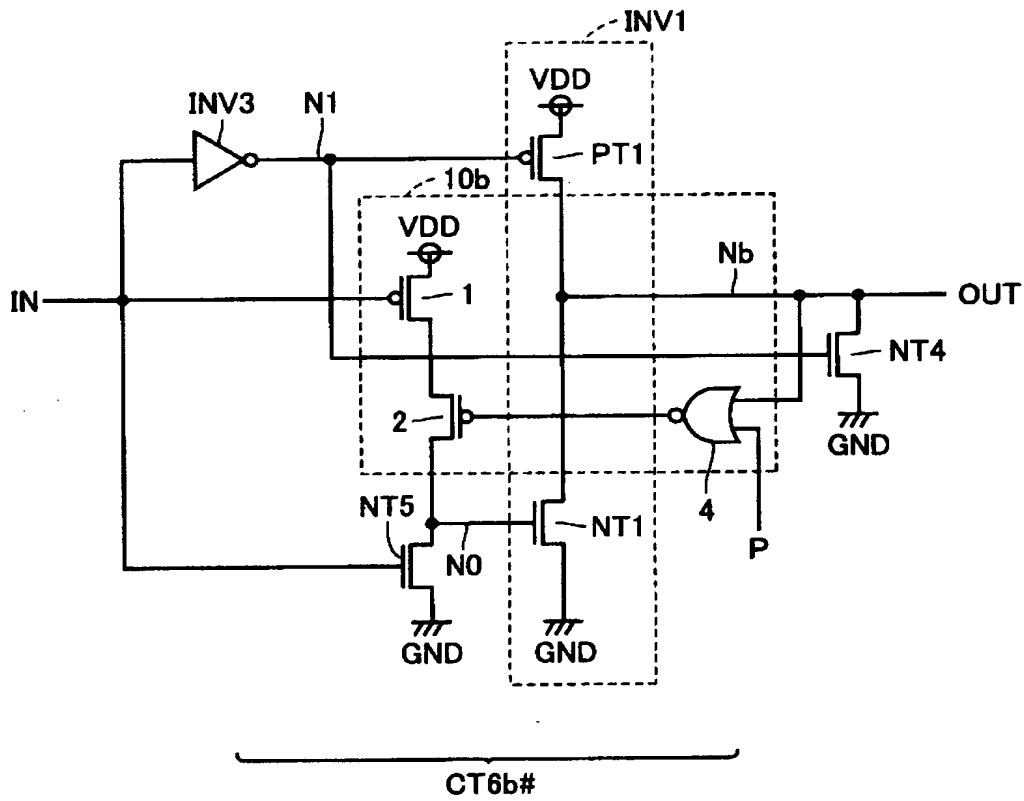


【図 26】

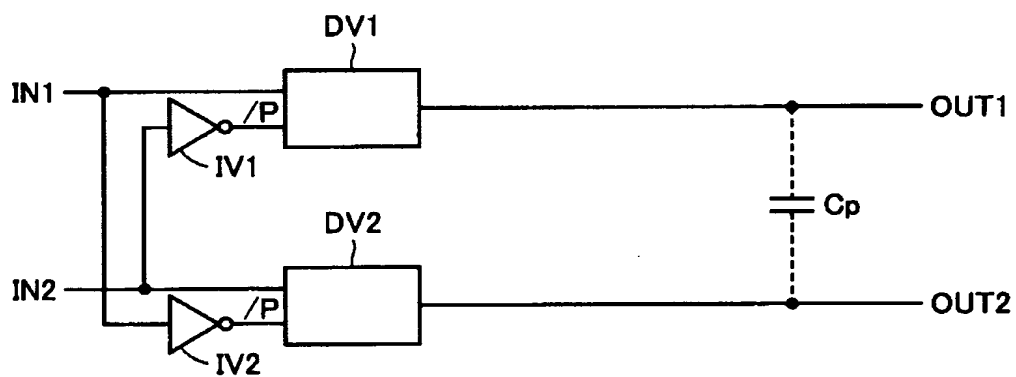


【図 27】

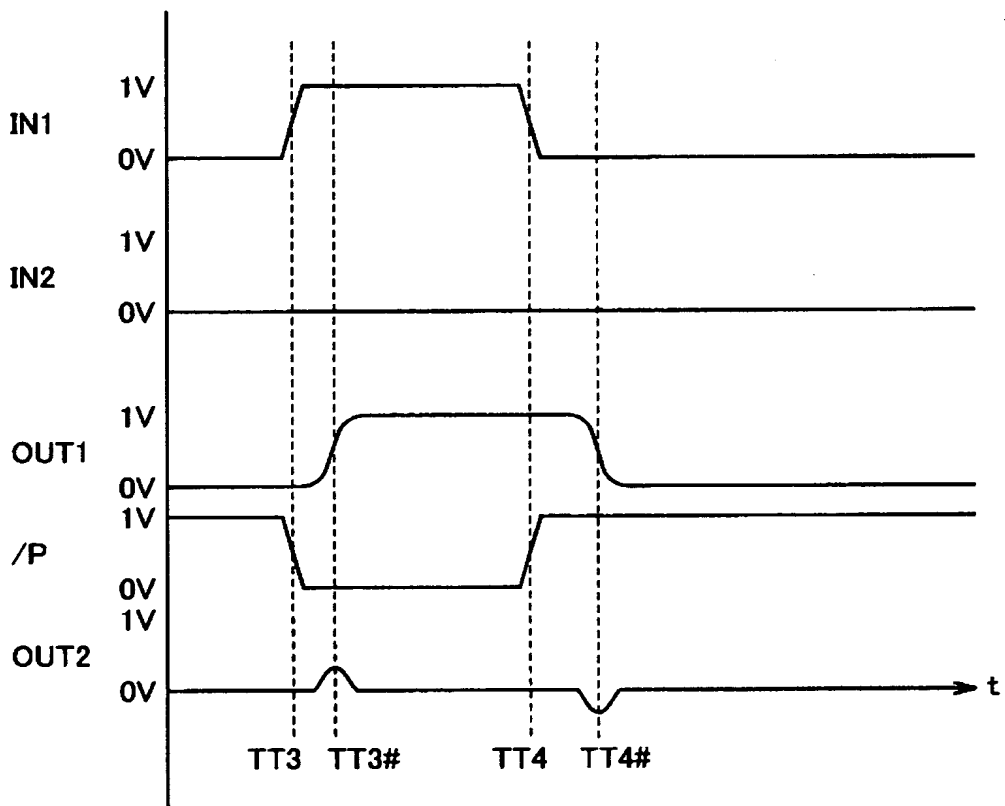
600b



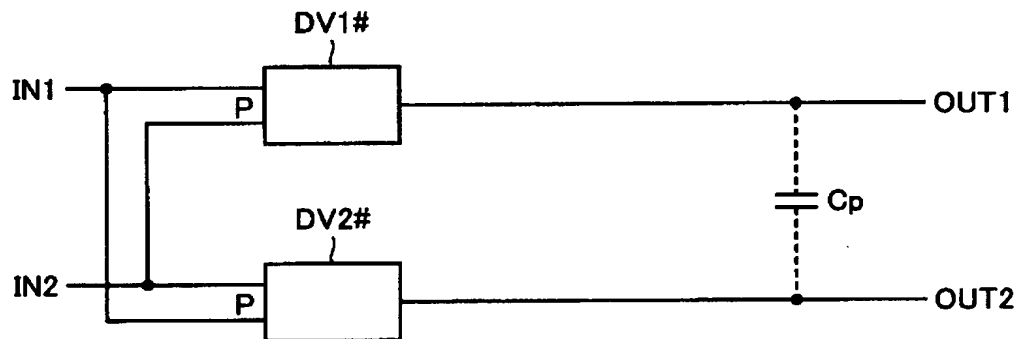
【図 28】



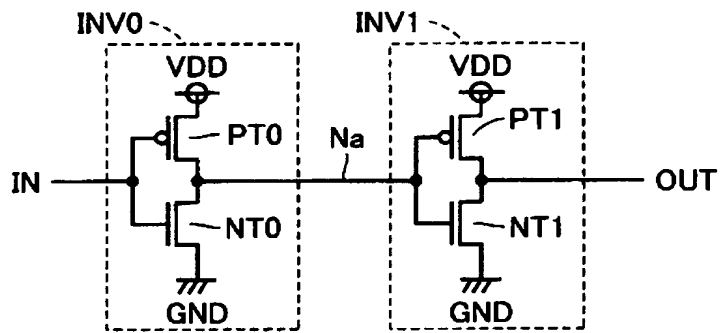
【図 29】



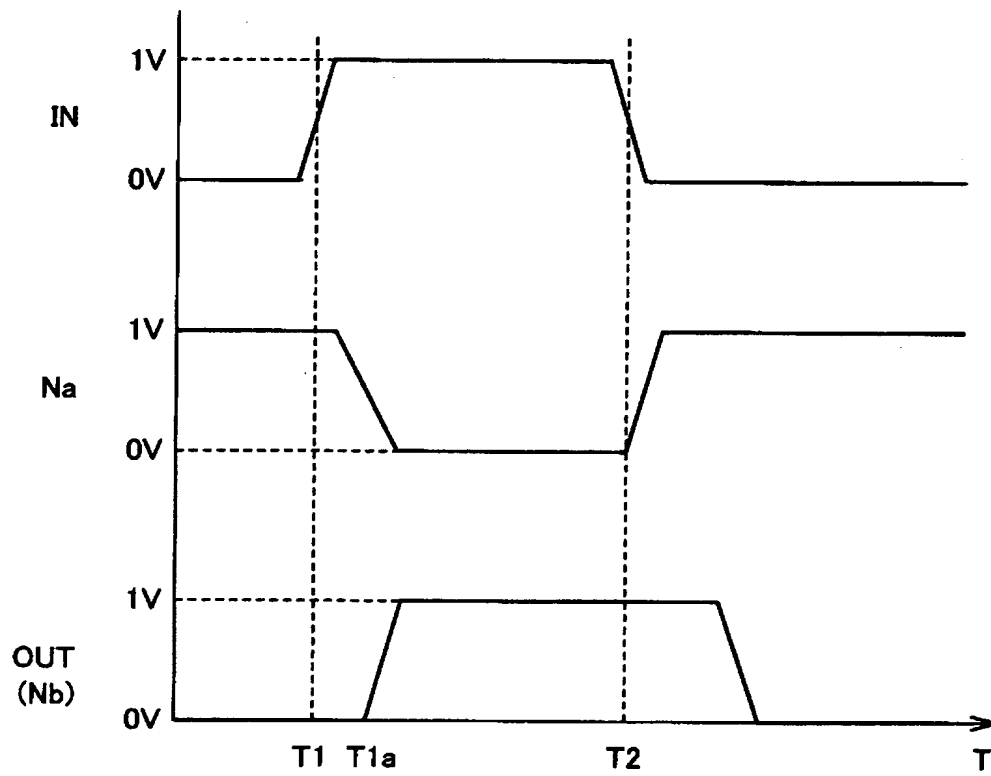
【図 30】



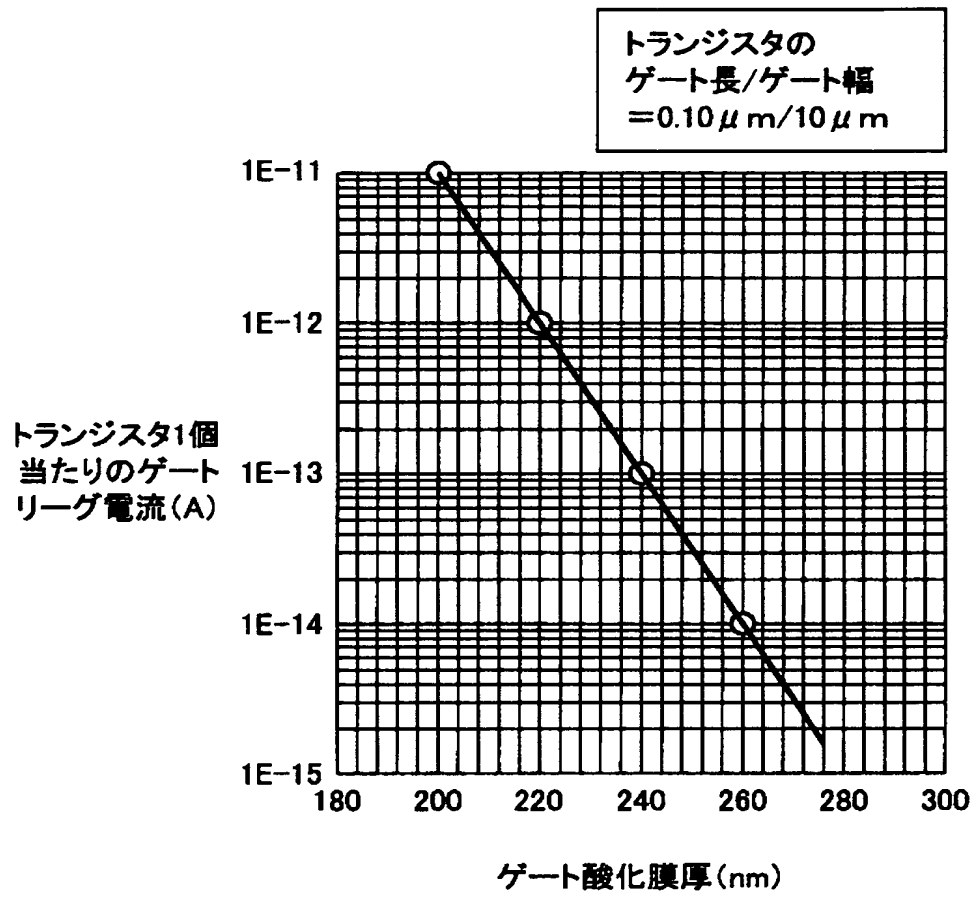
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜厚の薄いトランジスタを有するドライバ回路のゲートリーク電流を抑制して消費電力を低減する半導体装置を提供する。

【解決手段】 インバータ I N V 2 および I N V 3 を用いて入力信号 I N に応じてノード N 0 および N 1 の電圧を制御する。また、インバータ I N V 2 に含まれるトランジスタ P T T 2 を用いてトランジスタ N T 1 の電圧レベルを調整する。

トランジスタ N T 1 のゲートに供給するゲート電圧を電源電圧 V D D よりも低くオン電圧よりも高い値に設定することにより、トランジスタ N T 1 のゲートリーク電流を大幅に低減することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2003-088261
受付番号	50300506491
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年 4月 1日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目2番3号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人	
【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

【選任した代理人】

【識別番号】	100083703
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	仲村 義平

【選任した代理人】

【識別番号】	100096781
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	堀井 豊

【選任した代理人】

【識別番号】	100098316
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	野田 久登
【選任した代理人】	
【識別番号】	100109162
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	酒井 將行

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社